

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-088101

(43)Date of publication of application : 18.03.2004

(51)Int.Cl.

H01L 29/786  
H01L 21/8234  
H01L 21/8238  
H01L 27/08  
H01L 27/088  
H01L 27/092

(21)Application number : 2003-287197

(71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>

(22)Date of filing : 05.08.2003

(72)Inventor : ABADEER WAGDI W  
BROWN JEFFREY S  
FRIED DAVID M  
GAUTHIER JR ROBERT J  
EDWARD J NOWAKU  
RANKIN JED H  
TONTI WILLIAM R

(30)Priority

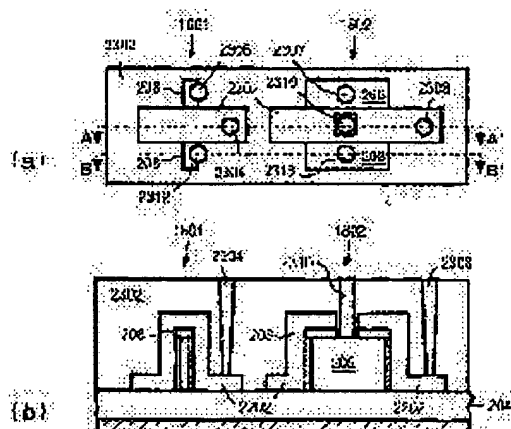
Priority number : 2002 227995 Priority date : 26.08.2002 Priority country : US

## (54) INTEGRATED CIRCUIT CHIP AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an improved manufacturing method of an integrated circuit which is made by incorporating both a FinFET and a thick-body device into a single chip.

SOLUTION: This manufacturing method of a microelectronic circuit which is made by incorporating both a fin-type field-effect transistor (FinFET) 1801 and a thick-body device 1802 into a single chip can attain an efficiency higher than that of the conventional methods



by utilizing common masks and processes. Reduction in the numbers of masks and processes is achieved by utilizing common masks and processes together with several reduction strategies. For example, a structure which usually accompanies a FinFET is formed on a side surface of a thick silicon mesa. A bulk of the silicon mesa is doped to connect to a body contact formed on the opposite side surface of the mesa. This invention also includes the FinFET, thick-body device, and a chip manufactured by the methods associated with the invention.

---

## LEGAL STATUS

[Date of request for examination] 05.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]

It is the integrated circuit chip equipped with at least one fin mold field-effect transistor and at least one thick body device,

Said at least one fin mold field-effect transistor and said at least one thick body device are formed in concurrency,

Integrated circuit chip.

[Claim 2]

Said at least one thick body device consists of the thick body device equipped with body contact,

An integrated circuit chip according to claim 1.

[Claim 3]

Said thick body device is equipped with the field-effect transistor reduced perpendicularly on the 1st [ of a semi-conductor mesa ] side attachment wall,

It has said a part of mesa where said body contact was doped through the 2nd side attachment wall of the opposite hand of said semi-conductor mesa,

An integrated circuit chip according to claim 2.

[Claim 4]

Said thick body device

The 1st field-effect transistor which it was prepared in the 1st side attachment wall of a semi-conductor mesa, and was reduced perpendicularly,

The 2nd field-effect transistor which is the 2nd field-effect transistor which it was prepared in the 2nd side attachment wall of the opposite hand of said semi-conductor mesa, and was reduced perpendicularly and by which alignment of the source, a drain, and the gate was carried out to said 1st field-effect transistor,

Body contact formed in the front face of the semi-conductor between said two sources and said two drains

It has.

An integrated circuit chip according to claim 2.

[Claim 5]

Said at least one thick body device equips the front face of a semi-conductor mesa with the planar mold field-effect transistor,

An integrated circuit chip according to claim 2.

[Claim 6]

Said at least one thick body device equips the front face of a semi-conductor mesa with the planar mold field-effect transistor,

An integrated circuit chip according to claim 1.

[Claim 7]

Said at least one thick body device is equipped with two or more thick body devices containing the thick

body device of a different class formed in concurrency,

An integrated circuit chip according to claim 1.

[Claim 8]

It is the approach of manufacturing the integrated circuit chip equipped with at least one fin mold field-effect transistor and at least one thick body device,

Said approach,

At least one step which forms said at least one fin mold field-effect transistor and said at least one thick body device in concurrency using one process which accompanies one mask and this mask

Preparation \*\*\*\*\*,

Approach.

[Claim 9]

Further,

The step which prepares the semi-conductor substrate wafer equipped with a hard surface mask blank,

It is the step which it is the step which carries out patterning of said semi-conductor substrate, and forms at least one narrow fin structure and at least one thick mesa structure on said wafer, said fin structure equipped with the 1st parallel long side attachment wall and the 2nd long side attachment wall, and said mesa equips with a summit side, the 3rd parallel long side attachment wall, and the 4th long side attachment wall.

\*\*\*\*\*,

An approach according to claim 8.

[Claim 10]

Further,

(a) The step which covers said at least one fin structure with an electric shielding mask,

(b) The step which carries out etching clearance of said hard surface mask blank from the summit of said at least one mesa structure selectively to said electric shielding mask,

(c) The step which exfoliates said electric shielding mask,

(d) The step which carries out the ion implantation of a source field and the drain field in concurrency, and forms them in one top of the summit of said at least one mesa, the 1st long side attachment wall of said fin structure, and the 2nd long side attachment wall of said fin structure,

(e) The step which grows up gate oxide in concurrency on the summit of said at least one mesa, and said both \*\*\*\*\* of said fin structure,

(f) The step which deposits a gate ingredient in concurrency on said at least one summit of the mesa structure and both \*\*\*\*\* on said at least one summit of the fin structure and both \*\*\*\*\*

\*\*\*\*\*,

An approach according to claim 9.

[Claim 11]

Further,

(a) The step which carries out flattening of the gate ingredient on said at least one fin structure, and the gate ingredient on said at least one mesa structure in concurrency,

(b) The step which carries out patterning of the gate structure on said at least one fin structure, and the gate structure on said at least one mesa structure in concurrency,

(c) The step which etches the gate structure on said at least one fin structure, and the gate structure on said at least one mesa structure in concurrency,

(d) The step which closes said wafer with an oxide film and carries out flattening of said oxide film,

(e) The step which forms in concurrency the gate prepared on at least one another device on the gate prepared on the top of said at least one mesa, the source, the electric contact to a drain, and said wafer, the source, and the electric contact to a drain

\*\*\*\*\*,

An approach according to claim 10.

[Claim 12]

(a) The step which forms in concurrency at least one mesa structure equipped with at least one fin,

summit, and side attachment wall which etched the semi-conductor substrate and were equipped with the summit and the side attachment wall,

(b) It is the step to which it is the step which forms the gate structure in concurrency on said at least one fin and said at least one mesa, and said gate structure has demarcated the field which forms at least one source and at least one drain on said at least one fin and said at least one mesa,

(c) The step which carries out concurrency-formation of a source field and the drain field to the field demarcated by said each gate structure on said at least one fin and said at least one mesa,

(d) The step which forms the gate of said at least one fin, the source, a drain and the gate of said at least one mesa, the source, and the electric contact group to a drain in concurrency

\*\*\*\*\*,

An approach according to claim 8.

[Claim 13]

Said step to manufacture

The step which forms the gate, the source, and a drain on at least one side attachment wall [ at least one ] of a mesa,

The step which forms the gate, the source, and a drain on at least one side attachment wall of a fin,

The step which forms body contact in the body of said thick body device

Preparation \*\*\*\*\*,

An approach according to claim 11.

[Claim 14]

Said step which forms the gate, the source, and a drain on at least one side attachment wall [ at least one ] of a mesa

the step which forms the gate, the source, and a drain on each of two side attachment walls of said mesa,

The dimension and configuration of said gate are prepared in the configuration of the summit of a mesa hard surface mask blank still more faithfully, and they are physical and the step which connects mutually electronically about the two side-attachment-wall gates.

\*\*\*\*\*,

An approach according to claim 13.

[Claim 15]

Said step which forms the gate on the top of said mesa hard surface mask blank is ,

The step to which patterning of the opening which penetrates said gate ingredient and said mesa hard surface mask blank is carried out, it is etched into, is formed in, and the body of said field-effect transistor is exposed

Preparation \*\*\*\*\*,

An approach according to claim 14.

[Claim 16]

Said step which forms body contact

The step which dopes the body with which the through aforementioned field-effect transistor exposed said opening formed in said gate and said mesa hard surface mask blank

Preparation \*\*\*\*\*,

An approach according to claim 15.

[Claim 17]

Said step which forms said source field and said drain field

The step which dopes said source field and said drain field sufficiently deeply all over at least one mesa, the 1st electric contact connects with both the sources through the 1st opening formed in said mesa hard surface mask blank, and the 2nd electric contact connects with both drains through the 2nd opening formed on the top of said mesa hard surface mask blank

Preparation \*\*\*\*\*,

An approach according to claim 14.

[Claim 18]

Further,

It is the step to which it is the step which forms the gate which has the part extended from the active side attachment wall of said mesa to the method of outside, and a dimension and a configuration are adjusted, an edge can extend said lengthened gate, it enables it to receive electric contact, and said edge which was able to be extended exists on an embedding oxide film.

\*\*\*\*\*,

An approach according to claim 14.

[Claim 19]

Said step which forms said body contact in said mesa

(a) The step which dopes said mesa through the mesa side attachment wall of the opposite hand of an active mesa side attachment wall,

(b) The step which forms silicide on the top of said body contact on the side attachment wall of said doped mesa, and makes ohmic contact with electric contact possible,

(c) The step which forms the electric contact to said silicide on said body contact, and said gate, the source and the electric contact to a drain in concurrency

Preparation \*\*\*\*\*,

An approach according to claim 13.

[Claim 20]

A formation \*\*\*\* step said gate,

The step which etches said gate ingredient of the summit of said mesa, and divides the summit of said mesa into three fields, i.e., the source, a drain, and body contact

Preparation \*\*\*\*\*,

An approach according to claim 13.

[Claim 21]

Said step which forms said body contact

The step which carries out patterning of the opening which penetrates said mesa hard surface mask blank, and results in the body of said mesa, etches it, and forms it,

The step which dopes through said opening formed in said mesa hard surface mask blank, and forms body contact

Preparation \*\*\*\*\*,

An approach according to claim 20.

[Claim 22]

Said step which forms electric contact is ,

The step which forms at least one electric contact to at least one body contact

Preparation \*\*\*\*\*,

An approach according to claim 11.

[Claim 23]

Said step which forms at least one electric contact

The step which forms electric contact by the ohmic contact to the non-activity side attachment wall of the mesa doped to said body contact formation

Preparation \*\*\*\*\*,

An approach according to claim 22.

[Claim 24]

Said step which forms at least one electric contact to at least one body contact

The step which forms electric contact by the ohmic contact to the mesa doped to said body contact formation which passes along opening formed on the top of said mesa

Preparation \*\*\*\*\*,

An approach according to claim 22.

[Claim 25]

Said step which carries out patterning of at least one fin on said substrate and at least one mesa in concurrency, and etches them

The step which carries out patterning of said at least one fin on a two-layer hard surface mask blank, and said at least one mesa,

The step which etches selectively both the layers of said two-layer hard surface mask blank to the semi-conductor layer of said substrate,

The step which carries out chemical etching of the lower layer of said two-layer hard surface mask blank selectively to said semi-conductor layer and an up hard surface mask blank layer, and makes fin thickness of a lower layer hard surface mask blank under the minimum lithography method,

The step which carries out etching clearance of said upper layer of said hard surface mask blank selectively to said lower layer and said semi-conductor,

The step which etches said semi-conductor layer vertically selectively to said lower layer of said hard surface mask blank, and forms at least one fin and at least one mesa

Preparation \*\*\*\*\*,

An approach according to claim 11.

[Claim 26]

Further,

(a) The step which dopes the source of at least one fin mold field-effect transistor, a drain, the gate, the source of at least one thick body device, a drain and the gate, and body contact of at least one complementary-type device in concurrency, and forms them,

(b) The step which dopes body contact of at least one thick body device, and the source of at least one complementary-type device, a drain and the gate in concurrency, and forms them

\*\*\*\*\*,

An approach according to claim 8.

[Claim 27]

Said approach conforms to formation of a single side-attachment-wall mold thickness body device,

(a) The step which prepares the semi-conductor substrate wafer equipped with a hard surface mask blank,

(b) It is the step which it is the step which carries out patterning of said semi-conductor substrate, and forms at least one narrow fin structure and at least one thick mesa structure on said wafer, said fin structure equipped with the 1st parallel long side attachment wall and the 2nd long side attachment wall, and said mesa equips with a summit side, the 1st parallel long side attachment wall, and the 2nd long side attachment wall,

(c) The step which deposits a gate ingredient in a substrate configuration faithfully on at least one fin and at least one mesa,

(d) The step which carries out patterning of the gate on said 1st long side attachment wall on at least one fin structure, and said 2nd long side attachment wall, and the gate on said 1st long side attachment wall on at least one mesa structure in concurrency,

(e) The step which etches the gate on at least one fin structure, and the gate on at least one mesa structure in concurrency,

(f) The source field and drain field on at least one long side attachment wall [ at least one ] of a fin, The gate on at least one fin,

The source field and drain field on at least one long side attachment wall [ at least one ] of a mesa, The gate on at least one mesa

The step which dopes in concurrency and is formed,

(g) The step which dopes and forms the body contact field in at least one mesa by the ion implantation which passes along said 2nd long side attachment wall,

(h) The step which forms silicide simultaneously on the semi-conductor front face of at least one fin mold device, and the semi-conductor front face of at least one mesa mold device,

(i) Step which closes said wafer with an oxide film and carries out flattening of said oxide film,

(j) The step which forms the electric contact group to the gate field of each fin mold device and each mesa mold device, a source field, a drain field, and a body contact field in concurrency

Preparation \*\*\*\*\*,

An approach according to claim 26.

[Claim 28]

Said approach conforms to formation of a duplex side-attachment-wall mold field-effect transistor,  
 (a) The step which prepares the semi-conductor substrate equipped with the hard surface mask blank for the nitride cap layer in preparation for the TEOS layer top on the single-crystal-silicon layer on the embedding oxide film on a silicon wafer,

(b) The step in which patterning of said nitrated case and the TEOS layer is carried out in concurrency, and thickness forms the image of at least one fin structure of the minimum lithography method, and at least one mesa,

(c) The step which narrows the thickness of at least one fin, and the thickness of at least one mesa in concurrency by carrying out the undercut of said nitride cap chemically,

(d) The step which exfoliates said nitride cap in concurrency,

(e) In said silicon layer, use RIE and imprint the image of said TEOS layer. It is the step which forms at least one fin structure and at least one mesa structure on said substrate. It is the step which said at least one fin structure equipped with the 1st parallel long side attachment wall and the 2nd long side attachment wall, and said at least one mesa structure equips with a summit side, the 1st parallel long side attachment wall, and the 2nd long side attachment wall,

(f) On the center section of the long side-attachment-wall group of at least one fin structure, and the gate dielectric of a summit, And it is the step which forms the gate respectively in concurrency on the center section of the long side-attachment-wall group of at least one mesa structure, and the gate dielectric of a summit. Said gate structure group is a step which has reached on said embedding oxide film of the elongation aforementioned substrate to the method of outside from at least one fin structure and at least 1 mesa structure,

(g) It is the step which dopes the source and a drain respectively in concurrency, and forms them into at least one fin structure at a row into the 1st long side attachment wall of at least one mesa structure, and the 2nd long side attachment wall. Said source and said drain on said 1st [ of the fin structure / said ] at least one long side attachment wall are separated by said fin gate structure. Said source and said drain on said each at least one \*\*\*\*\* of the mesa structure are separated by said mesa gate structure. A gate group is a step which dopes in [ as said source group and a drain group ] concurrency, forms, and forms at least one fin mold field-effect transistor and at least one thick body device by that cause,

(h) The step which forms body contact through the summit of at least one thick body device,

(i) Step which closes said wafer with an oxide film and carries out flattening of said oxide film,

(j) The step which forms said gate group, a source group, a drain group, and the electric contact group to at least one body contact in concurrency

Preparation \*\*\*\*\*,

An approach according to claim 26.

[Claim 29]

Said approach conforms to formation of the planar mold field-effect transistor to the mesa top, Step which prepares the semi-conductor substrate wafer equipped with the (a) hard surface mask blank,

(b) It is the step which it is the step which carries out patterning of said semi-conductor substrate, and forms at least one narrow fin structure and at least one thick mesa structure on said wafer, said fin structure equipped with the 1st parallel long side attachment wall and the 2nd long side attachment wall, and said mesa equips with a summit side, the 1st parallel long side attachment wall, and the 2nd long side attachment wall,

(c) and (1) -- at least one fin -- an electric shielding mask -- covering

(2) Etch said hard surface mask blank into selection to said electric shielding mask, and remove from the summit of at least one mesa,

(3) Exfoliate said electric shielding mask.

The step which prepares the summit of at least one mesa especially more,

(d) The step which grows up gate oxide in concurrency on the summit of at least one mesa, and the long side-attachment-wall group of said fin,



- (e) The step which deposits a gate ingredient in concurrency on [ of at least one ] a fin and at least one mesa,
  - (f) The step which carries out flattening of said gate ingredient on at least one fin, and said gate ingredient on at least one mesa in concurrency,
  - (g) The step which carries out patterning of the gate structure on at least one fin, and the gate structure on at least one mesa in concurrency,
  - (h) The step which etches said gate structure on at least one fin, and said gate structure on at least one mesa in concurrency,
  - (i) and (1) -- the source well of the summit of at least one mesa, and a drain well,
  - (2) Said gate of at least one mesa,
  - (3) Said source field and said drain field of at least one fin,
  - (4) Said gate of at least one fin,
  - (5) Body contact of a complementary-type device
- The formed step which carries out ion implantation in concurrency,
- (j) and (1) -- body contact of the summit of at least one mesa,
  - (2) At least one source on at least one complementary-type device, at least one drain, or at least one gate
- The formed step which carries out ion implantation in concurrency,
- (k) The step which forms silicide in concurrency on the semi-conductor front face which the semi-conductor front-face top which at least one fin exposed, and at least one mesa exposed,
  - (l) The step which closes said wafer with an oxide film and carries out flattening of said oxide film,
  - (m) and (1) -- the gate of the summit of at least one mesa, the source, a drain, and body contact,
  - (2) The gate of at least one fin, the source, and a drain,
- In a row
- (3) Body contact on at least one another device on said wafer
- The step which forms in concurrency the electric contact group through which it passes
- Preparation \*\*\*\*\*,
- An approach according to claim 26.

---

[Translation done.]

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-88101

(P2004-88101A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl. <sup>7</sup>

F 1

テーマコード (参考)

H 0 1 L 29/786

H 0 1 L 29/78 6 1 8 C

5 F 0 4 8

H 0 1 L 21/8234

H 0 1 L 27/08 3 3 1 E

5 F 1 1 0

H 0 1 L 21/8238

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 27/08

H 0 1 L 29/78 6 1 7 K

H 0 1 L 27/088

H 0 1 L 29/78 6 1 7 N

審査請求 有 請求項の数 29 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2003-287197 (P2003-287197)

(22) 出願日 平成15年8月5日(2003.8.5)

(31) 優先権主張番号 10/227995

(32) 優先日 平成14年8月26日(2002.8.26)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード

(74) 代理人 100086243

弁理士 坂口 博

(74) 代理人 100091568

弁理士 市位 嘉宏

(74) 代理人 100108501

弁理士 上野 剛史

最終頁に続く

(54) 【発明の名称】 集積回路チップおよびその製造方法

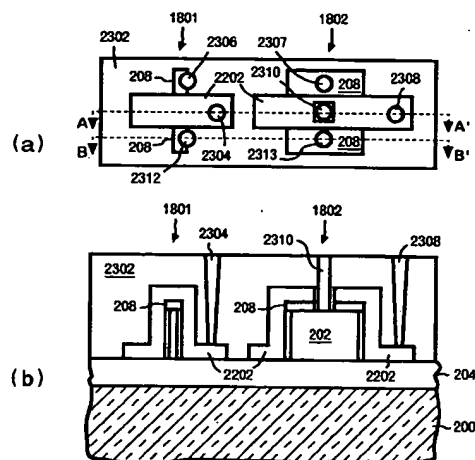
## (57) 【要約】

【課題】 同一のチップでフィンFETと厚ボディ・デバイスの双方を使用する集積回路の改良された製造方法を提供する。

【解決手段】 本発明は共通のマスクとステップを用いることにより従来よりも大きな効率性を達成しうる、同一チップにフィン型電界効果トランジスタ（フィンFET）1801と厚ボディ・デバイス1802を備えた微小電子回路を製造する方法を提供する。マスク数とステップ数の削減は共通のマスクとステップをいくつかの縮小戦略とともに使用することにより達成する。一実施例では、フィンFETに普通に付随する構造体を厚いシリコン・メサの側面に形成する。このシリコン・メサのバルクをドーピングしてメサの反対側面に形成したボディ・コンタクトと接続する。また、本発明には、本発明に係る方法で製造したフィンFET、厚ボディ・デバイス、およびチップが含まれる。

【選択図】

図 3 8



## 【特許請求の範囲】

## 【請求項 1】

少なくとも 1 つのフィン型電界効果トランジスタと少なくとも 1 つの厚ボディ・デバイスとを備えた集積回路チップであって、

前記少なくとも 1 つのフィン型電界効果トランジスタと前記少なくとも 1 つの厚ボディ・デバイスとが同時並行的に形成されている、  
集積回路チップ。

## 【請求項 2】

前記少なくとも 1 つの厚ボディ・デバイスがボディ・コンタクトを備えた厚ボディ・デバイスから成る、

請求項 1 に記載の集積回路チップ。

## 【請求項 3】

前記厚ボディ・デバイスが半導体メサの第 1 の側壁上に垂直方向に縮小した電界効果トランジスタを備え、

前記ボディ・コンタクトが前記半導体メサの反対側の第 2 の側壁を通してドーブされた、前記メサの一部を有する、

請求項 2 に記載の集積回路チップ。

## 【請求項 4】

前記厚ボディ・デバイスが、

半導体メサの第 1 の側壁に設けられ垂直方向に縮小した第 1 の電界効果トランジスタと

前記半導体メサの反対側の第 2 の側壁に設けられ垂直方向に縮小した第 2 の電界効果トランジスタであって、そのソース、ドレイン、ゲートが前記第 1 の電界効果トランジスタと位置合わせされた第 2 の電界効果トランジスタと、

前記 2 つのソースと前記 2 つのドレインとの間の半導体の表面に設けられたボディ・コンタクトと

備えている

請求項 2 に記載の集積回路チップ。

## 【請求項 5】

前記少なくとも 1 つの厚ボディ・デバイスが半導体メサの表面にプレーナ型電界効果トランジスタを備えている、

請求項 2 に記載の集積回路チップ。

## 【請求項 6】

前記少なくとも 1 つの厚ボディ・デバイスが半導体メサの表面にプレーナ型電界効果トランジスタを備えている、

請求項 1 に記載の集積回路チップ。

## 【請求項 7】

前記少なくとも 1 つの厚ボディ・デバイスが、同時並行的に形成された異なる種類の厚ボディ・デバイスを含む複数の厚ボディ・デバイスを備えている、

請求項 1 に記載の集積回路チップ。

## 【請求項 8】

少なくとも 1 つのフィン型電界効果トランジスタと少なくとも 1 つの厚ボディ・デバイスとを備えた集積回路チップを製造する方法であって、

前記方法は、

1 つのマスクと該マスクに付随する 1 つのプロセスを用い、前記少なくとも 1 つのフィン型電界効果トランジスタおよび前記少なくとも 1 つの厚ボディ・デバイスを同時並行的に形成する少なくとも 1 つのステップ

を備えている、

方法。

## 【請求項 9】

10

20

30

40

50

さらに、

ハードマスクを装着した半導体基板ウェーハを準備するステップと、

前記半導体基板をパターニングして前記ウェーハ上に少なくとも1つの狭いフィン構造体および少なくとも1つの厚メサ構造体を形成するステップであって、前記フィン構造体は平行な第1の長側壁および第2の長側壁を備え、前記メサは頂上面ならびに平行な第3の長側壁および第4の長側壁を備えている、ステップと

を備えた、

請求項8に記載の方法。

【請求項10】

さらに、

(a) 前記少なくとも1つのフィン構造体を遮蔽マスクで遮蔽するステップと、

(b) 前記少なくとも1つのメサ構造体の頂上から前記ハードマスクを、前記遮蔽マスクに対して選択的にエッチング除去するステップと、

(c) 前記遮蔽マスクを剥離するステップと、

(d) 前記少なくとも1つのメサの頂上、ならびに前記フィン構造体の第1の長側壁および前記フィン構造体の第2の長側壁のうちの一方の上にソース領域およびドレイン領域を同時並行的にイオン打ち込みして形成するステップと、

(e) 前記少なくとも1つのメサの頂上、および前記フィン構造体の前記両長側壁の上にゲート酸化膜を同時並行的に成長させるステップと、

(f) 前記少なくとも1つのフィン構造体の頂上および両長側壁上、ならびに前記少なくとも1つのメサ構造体の頂上および両長側壁上にゲート材料を同時並行的に堆積するステップと

を備えた、

請求項9に記載の方法。

【請求項11】

さらに、

(a) 前記少なくとも1つのフィン構造体上のゲート材料および前記少なくとも1つのメサ構造体上のゲート材料を同時並行的に平坦化するステップと、

(b) 前記少なくとも1つのフィン構造体上のゲート構造体および前記少なくとも1つのメサ構造体上のゲート構造体を同時並行的にパターニングするステップと、

(c) 前記少なくとも1つのフィン構造体上のゲート構造体および前記少なくとも1つのメサ構造体上のゲート構造体を同時並行的にエッチングするステップと、

(d) 前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、

(e) 前記少なくとも1つのメサの頂上に設けられたゲート、ソース、およびドレインへの電気コンタクト、ならびに前記ウェーハ上の少なくとも1つの別のデバイス上に設けられたゲート、ソース、およびドレインへの電気コンタクトを同時並行的に形成するステップと

を備えた、

請求項10に記載の方法。

【請求項12】

(a) 半導体基板をエッチングして頂上および側壁を備えた少なくとも1つのフィンならびに頂上および側壁を備えた少なくとも1つのメサ構造体を同時並行的に形成するステップと、

(b) 前記少なくとも1つのフィン上および前記少なくとも1つのメサ上にゲート構造体を同時並行的に形成するステップであって、前記ゲート構造体は前記少なくとも1つのフィン上および前記少なくとも1つのメサ上に少なくとも1つのソースおよび少なくとも1つのドレインを形成する領域を画定している、ステップと、

(c) 前記少なくとも1つのフィン上および前記少なくとも1つのメサ上の前記各ゲート構造体によって画定された領域にソース領域およびドレイン領域を同時並行的に形成するステップと、

10

20

30

40

50

(d) 前記少なくとも1つのフィンのゲート、ソース、およびドレイン、ならびに前記少なくとも1つのメサのゲート、ソース、およびドレインへの電気コンタクト群を同時並行的に形成するステップと  
を備えた、  
請求項8に記載の方法。

【請求項13】

前記製造するステップが、  
少なくとも1つのメサの少なくとも1つの側壁上にゲート、ソース、ドレインを形成するステップと、  
少なくとも1つのフィンの側壁上にゲート、ソース、ドレインを形成するステップと、  
前記厚ボディ・デバイスのボディにボディ・コンタクトを形成するステップと  
を備えている、  
請求項11に記載の方法。

【請求項14】

少なくとも1つのメサの少なくとも1つの側壁上にゲート、ソース、ドレインを形成する前記ステップが、  
前記メサの2つの側壁の各々の上にゲート、ソース、ドレインを形成するステップと、  
さらにメサ・ハードマスクの頂上の形状に忠実に前記ゲートの寸法および形状を整えて2つの側壁ゲートを物理的かつ電子的に互いに接続するステップと  
を備えた、  
請求項13に記載の方法。

【請求項15】

前記メサ・ハードマスクの頂上にゲートを形成する前記ステップが、さらに、  
前記ゲート材料および前記メサ・ハードマスクを貫通する開口をパターニングしエッチングして形成して前記電界効果トランジスタのボディを露出させるステップ  
を備えている、  
請求項14に記載の方法。

【請求項16】

ボディ・コンタクトを形成する前記ステップが、  
前記ゲートおよび前記メサ・ハードマスクに形成された前記開口を通し前記電界効果トランジスタの露出したボディをドーピングするステップ  
を備えている、  
請求項15に記載の方法。

【請求項17】

前記ソース領域および前記ドレイン領域を形成する前記ステップが、  
少なくとも1つのメサ中に十分深く前記ソース領域および前記ドレイン領域をドーピングして、前記メサ・ハードマスクに形成された第1の開口を通して第1の電気コンタクトが両ソースと接続し、前記メサ・ハードマスクの頂上に形成された第2の開口を通して第2の電気コンタクトが両ドレインと接続するようにするステップ  
を備えている、  
請求項14に記載の方法。

【請求項18】

さらに、  
前記メサの能動側壁から外方に伸びる部分を有するゲートを形成するステップであって、前記伸ばされたゲートは寸法および形状が調整されて端が広げられ電気コンタクトを受け入れるようにされており、前記広げられた端は埋め込み酸化膜上に存在する、ステップ  
を備えた、  
請求項14に記載の方法。

【請求項19】

前記メサに前記ボディ・コンタクトを形成する前記ステップが、

(a) 能動メサ側壁の反対側のメサ側壁を通して前記メサをドーブするステップと、  
(b) 前記ドーブしたメサの側壁上および前記ボディ・コンタクトの頂上にシリサイドを形成して電気コンタクトとのオーミック接続を可能にするステップと、  
(c) 前記ボディ・コンタクト上の前記シリサイドへの電気コンタクトと、前記ゲート、ソース、ドレインへの電気コンタクトとを同時並行的に形成するステップとを備えている、  
請求項 13 に記載の方法。

【請求項 20】

前記ゲートを形成するステップが、  
前記メサの頂上の前記ゲート材料をエッチングして前記メサの頂上を 3 つの領域すなわちソース、ドレイン、ボディ・コンタクトに分割するステップを備えている、  
請求項 13 に記載の方法。

【請求項 21】

前記ボディ・コンタクトを形成する前記ステップが、  
前記メサ・ハードマスクを貫通して前記メサのボディに至る開口をパターンニングしエッチングして形成するステップと、  
前記メサ・ハードマスクに形成した前記開口を通してドーブしてボディ・コンタクトを形成するステップとを備えている、  
請求項 20 に記載の方法。

【請求項 22】

電気コンタクトを形成する前記ステップが、さらに、  
少なくとも 1 つのボディ・コンタクトへの少なくとも 1 つの電気コンタクトを形成するステップを備えている、  
請求項 11 に記載の方法。

【請求項 23】

少なくとも 1 つの電気コンタクトを形成する前記ステップが、  
前記ボディ・コンタクト形成用にドーブしたメサの非能動側壁へのオーミック接続によって電気コンタクトを形成するステップを備えている、  
請求項 22 に記載の方法。

【請求項 24】

少なくとも 1 つのボディ・コンタクトへの少なくとも 1 つの電気コンタクトを形成する前記ステップが、  
前記メサの頂上に形成された開口を通る、前記ボディ・コンタクト形成用にドーブしたメサへのオーミック接続によって電気コンタクトを形成するステップを備えている、  
請求項 22 に記載の方法。

【請求項 25】

前記基板上の少なくとも 1 つのフィンおよび少なくとも 1 つのメサを同時並行的にパターンニングしエッチングする前記ステップが、  
2 層ハードマスク上の前記少なくとも 1 つのフィンおよび前記少なくとも 1 つのメサをパターンニングするステップと、  
前記 2 層ハードマスクの両層を前記基板の半導体層に対して選択的にエッチングするステップと、  
前記 2 層ハードマスクの下層を前記半導体層および上部ハードマスク層に対して選択的に化学エッチングして、下層ハードマスクのフィン厚さを最小リソグラフィ寸法未満にするステップと、

前記ハードマスクの前記上層を前記下層および前記半導体に対して選択的にエッチング除去するステップと、

前記半導体層を前記ハードマスクの前記下層に対して選択的に垂直にエッチングして、少なくとも1つのフィンと少なくとも1つのメサを形成するステップとを備えている、

請求項11に記載の方法。

【請求項26】

さらに、

(a) 少なくとも1つのフィン型電界効果トランジスタのソース、ドレイン、ゲートと、少なくとも1つの厚ボディ・デバイスのソース、ドレイン、ゲートと、少なくとも1つの相補型デバイスのボディ・コンタクトとを同時並行的にドーピングして形成するステップと

10

(b) 少なくとも1つの厚ボディ・デバイスのボディ・コンタクトと、少なくとも1つの相補型デバイスのソース、ドレイン、ゲートとを同時並行的にドーピングして形成するステップとを備えた、

請求項8に記載の方法。

【請求項27】

前記方法が単側壁型厚ボディ・デバイスの形成に適合しており、

(a) ハードマスクを装着した半導体基板ウェーハを準備するステップと、

20

(b) 前記半導体基板をパターニングして前記ウェーハ上に少なくとも1つの狭いフィン構造体および少なくとも1つの厚メサ構造体を形成するステップであって、前記フィン構造体は平行な第1の長側壁および第2の長側壁を備え、前記メサは頂上面ならびに平行な第1の長側壁および第2の長側壁を備えている、ステップと、

(c) 少なくとも1つのフィンおよび少なくとも1つのメサの上に下地形状に忠実にゲート材料を堆積するステップと、

(d) 少なくとも1つのフィン構造体上の前記第1の長側壁および前記第2の長側壁の上のゲートと、少なくとも1つのメサ構造体上の前記第1の長側壁の上のゲートとを同時並行的にパターニングするステップと、

(e) 少なくとも1つのフィン構造体上のゲートと、少なくとも1つのメサ構造体上のゲートとを同時並行的にエッチングするステップと、

30

(f) 少なくとも1つのフィンの少なくとも1つの長側壁上のソース領域およびドレイン領域と、

少なくとも1つのフィン上のゲートと、

少なくとも1つのメサの少なくとも1つの長側壁上のソース領域およびドレイン領域と、

少なくとも1つのメサ上のゲートと

を同時並行的にドーピングして形成するステップと、

(g) 前記第2の長側壁を通るイオン打ち込みによって、少なくとも1つのメサ中のボディ・コンタクト領域をドーピングして形成するステップと、

40

(h) 少なくとも1つのフィン型デバイスの半導体表面および少なくとも1つのメサ型デバイスの半導体表面の上にシリサイドを同時に形成するステップと、

(i) 前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、

(j) 各フィン型デバイスおよび各メサ型デバイスのゲート領域、ソース領域、ドレイン領域、ボディ・コンタクト領域への電気コンタクト群を同時並行的に形成するステップと

を備えている、

請求項26に記載の方法。

【請求項28】

前記方法が二重側壁型電界効果トランジスタの形成に適合しており、

50

(a) シリコン・ウェーハ上の埋め込み酸化膜上の単結晶シリコン層上のTEOS層上に窒化膜キャップ層を備えハードマスクを装着された半導体基板を準備するステップと、

(b) 前記窒化層およびTEOS層を同時並行的にパターニングして、厚さが最小リソグラフィ寸法の少なくとも1つのフィン構造体と少なくとも1つのメサとのイメージを形成するステップと、

(c) 前記窒化膜キャップを化学的にアンダーカットすることにより、少なくとも1つのフィンの厚さおよび少なくとも1つのメサの厚さを同時並行的に狭めるステップと、

(d) 前記窒化膜キャップを同時並行的に剥離するステップと、

(e) 前記TEOS層のイメージを前記シリコン層にRIEを用いて転写して、前記基板上に少なくとも1つのフィン構造体および少なくとも1つのメサ構造体を形成するステップであって、前記少なくとも1つのフィン構造体は並行な第1の長側壁および第2の長側壁を備え、前記少なくとも1つのメサ構造体は頂上面ならびに並行な第1の長側壁および第2の長側壁を備えている、ステップと、

10

(f) 少なくとも1つのフィン構造体の長側壁群の中央部上および頂上のゲート誘電体上、ならびに少なくとも1つのメサ構造体の長側壁群の中央部上および頂上のゲート誘電体上にゲートをそれぞれ同時並行的に形成するステップであって、前記ゲート構造体群は少なくとも1つのフィン構造体および少なくとも1つのメサ構造体から外方へ伸び前記基板の前記埋め込み酸化膜上に到達している、ステップと、

(g) 少なくとも1つのフィン構造体の中へ、ならびに少なくとも1つのメサ構造体の第1の長側壁および第2の長側壁の中へソースおよびドレインをそれぞれ同時並行的にドーピングして形成するステップであって、前記少なくとも1つのフィン構造体の前記第1の長側壁上の前記ソースおよび前記ドレインは前記フィン・ゲート構造体によって分離されており、前記少なくとも1つのメサ構造体の各長側壁上の前記ソースおよび前記ドレインは前記メサ・ゲート構造体によって分離されており、ゲート群は前記ソース群およびドレイン群と同時並行的にドーピングして形成し、それにより少なくとも1つのフィン型電界効果トランジスタおよび少なくとも1つの厚ボディ・デバイスを形成する、ステップと、

20

(h) 少なくとも1つの厚ボディ・デバイスの頂上を通してボディ・コンタクトを形成するステップと、

(i) 前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、

(j) 前記ゲート群、ソース群、ドレイン群、および少なくとも1つのボディ・コンタクトへの電気コンタクト群を同時並行的に形成するステップとを備えている、

30

請求項26に記載の方法。

【請求項29】

前記方法がメサ・トップへのプレーナ型電界効果トランジスタの形成に適合しており、

(a) ハードマスクを装着した半導体基板ウェーハを準備するステップと、

(b) 前記半導体基板をパターニングして前記ウェーハ上に少なくとも1つの狭いフィン構造体および少なくとも1つの厚メサ構造体を形成するステップであって、前記フィン構造体は平行な第1の長側壁および第2の長側壁を備え、前記メサは頂上面ならびに平行な第1の長側壁および第2の長側壁を備えている、ステップと、

40

(c) (1) 少なくとも1つのフィンを遮蔽マスクで遮蔽し、

(2) 前記ハードマスクを前記遮蔽マスクに対して選択にエッチングして少なくとも1つのメサの頂上から除去し、

(3) 前記遮蔽マスクを剥離することにより、少なくとも1つのメサの頂上を準備するステップと、

(d) 少なくとも1つのメサの頂上および前記フィンの長側壁群の上にゲート酸化膜を同時並行的に成長させるステップと、

(e) 少なくとも1つのフィン上および少なくとも1つのメサ上にゲート材料を同時並行的に堆積するステップと、

(f) 少なくとも1つのフィン上の前記ゲート材料および少なくとも1つのメサ上の前

50



記ゲート材料を同時並行的に平坦化するステップと、

(g) 少なくとも1つのフィン上のゲート構造体および少なくとも1つのメサ上のゲート構造体を同時並行的にパターニングするステップと、

(h) 少なくとも1つのフィン上の前記ゲート構造体および少なくとも1つのメサ上の前記ゲート構造体を同時並行的にエッチングするステップと、

(i) (1) 少なくとも1つのメサの頂上のソース・ウェルおよびドレイン・ウェルと

(2) 少なくとも1つのメサの前記ゲートと、

(3) 少なくとも1つのフィンの前記ソース領域および前記ドレイン領域と、

(4) 少なくとも1つのフィンの前記ゲートと、

(5) 相補型デバイスのボディ・コンタクトと

を同時並行的にイオン打ち込みして形成するステップと、

(j) (1) 少なくとも1つのメサの頂上のボディ・コンタクトと、

(2) 少なくとも1つの相補型デバイス上の少なくとも1つのソース、少なくとも1つのドレイン、または少なくとも1つのゲートと

を同時並行的にイオン打ち込みして形成するステップと、

(k) 少なくとも1つのフィンの、露出した半導体表面上および少なくとも1つのメサの、露出した半導体表面上にシリサイドを同時並行的に形成するステップと、

(l) 前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、

(m) (1) 少なくとも1つのメサの頂上のゲート、ソース、ドレイン、およびボディ・コンタクト、

(2) 少なくとも1つのフィンのゲート、ソース、およびドレイン、  
ならびに、

(3) 前記ウェーハ上の少なくとも1つの別のデバイス上のボディ・コンタクトへの電気コンタクト群を同時並行的に形成するステップと  
を備えている、

請求項26に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体製造の分野に関し、特に同一基板上に厚ボディ・デバイスとフィン型電界効果トランジスタ(FET)の双方を形成する方法に関する。また、本発明は集積回路チップ上のトランジスタ密度を向上させる方法、および厚ボディ・デバイス、たとえば単側壁ボディ・コンタクト型メサFET、二重側壁ボディ・コンタクト型メサFET、プレーナ型メサ・トップFETなどを形成する方法にも関する。

【背景技術】

【0002】

半導体装置の製造において競争優位のコストと性能を維持する必要から、集積回路のデバイス密度は絶えず向上している。デバイス密度の向上を容易にするために、これら半導体装置の最小設計寸法を縮小しうる新技術が常に必要とされている。さらに、デバイス密度が向上すると、低電力動作も必要になる。

【0003】

デバイス密度を永久に向上させ続けようとする強い要求は、CMOS技術、たとえば電界効果トランジスタ(FET)の設計と製造において特に強い。FETはほとんどすべての集積回路構造(すなわちマイクロプロセッサやメモリなど)で用いられている。フィン型電界効果トランジスタ(フィンFET:FinFET)は低電力、高速で垂直方向に縮小されたトランジスタであり、チップに高密度に詰め込むことができる。垂直方向に縮小することには、半導体の薄い壁(「フィン」)を形成すること、およびその壁の側面にFETを形成することが含まれている。「薄い」は通常、最小リソグラフィ寸法未満の幅を指している。

10

20

30

40

50

## 【0004】

あいにく、フィンFETはすべての目的に適しているわけではない。用途が異なると、異なるトランジスタ動作が必要になる。フィンFETなどの薄（うす）デバイスは動作中に完全空乏状態に到達する。このことは多くの用途では望ましい。しかしながら、他の用途では異なる動作が必要になる。厚（あつ）ボディ・デバイスは完全空乏状態に到達しないから、異なった動作をする。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

用途によっては、フィンFETと厚ボディ・デバイスを同一のチップに形成するのが有利である。これを経済的に実現するのが困難であったのは、製造工程がフィンFETと厚ボディ・デバイスとで異なるからである。現在は、フィンFET用に完全な1組のマスクを作製するとともに付随する工程をとる必要がある一方、厚ボディ・デバイス用に別の完全な1組のマスクを作製するとともに付随する工程をとる必要がある。つまり、厚技術デバイスの形成中は薄技術デバイスをマスクで保護し、薄技術デバイスの形成中は厚技術デバイスをマスクで保護する。しかし、多数のマスクと工程を使用することは高くつく。したがって、同一のチップでフィンFETと厚ボディ・デバイスの双方を使用する集積回路の改良された製造方法が必要とされている。

## 【課題を解決するための手段】

## 【0006】

本発明は従来の方法よりも少ないマスクとステップを用いながら、同一チップにフィン型電界効果トランジスタ（フィンFET）と厚ボディ・デバイスを備えた微小電子回路を製造する方法を提供する。マスク数とステップ数の削減は共通のマスクとステップをいくつかの縮小戦略とともに使用することにより達成する。一実施例では、フィンFETに普通に付随する構造体を厚いシリコン・メサの側面に形成する。このシリコン・メサのバルクをドーピングしてソース、ドレインと反対側のメサの側面にボディ・コンタクトを形成する。本発明には、単側壁型メサFET、二重側壁型メサFET、メサ・トップ型プレーナFET、およびこれらの組み合わせを備えたフィンFETを同時並行的に製造する方法が含まれる。また、本発明には、本発明に係る方法で製造したフィンFET、厚ボディ・デバイス、およびチップが含まれる。

## 【発明を実施するための最良の形態】

## 【0007】

本発明はフィン型電界効果トランジスタ（フィンFET）と厚ボディFET（厚ボディ・デバイスとも呼ばれる）を同一チップに同時並行的に形成する方法を提供するものである。ここで定義し使用している同時並行的製造は、厚ボディ・デバイスとフィンFETの双方を形成するために、少なくとも1つの製造工程で1つのマスクとそれに付随する少なくとも1つのプロセスを使用する一連の製造工程による製造を意味する。フィンFETと厚ボディ・デバイスを形成するのに、可能な場合にはいつでも同時並行的なマスクとプロセスを使用すると、効率が向上する。

## 【0008】

デバイスが厚い（すなわち厚ボディ・デバイスである）と考えられるのは、デバイスを形成する基台をなすシリコンの厚さがトランジスタのソース影響領域、ドレイン影響領域、およびゲート影響領域を形成するのに必要な厚さよりも厚い場合である。デバイスが薄い（すなわちフィン型である）のは、その最小寸法が最小リソグラフィ寸法以下の場合である。薄デバイスでは、トランジスタは通常、薄寸法全体にわたって形成する。すなわち、薄デバイスでは、薄デバイスの薄寸法全体の片側または両側でソース影響領域、ドレイン影響領域、およびゲート影響領域にコンタクトすることができる。

## 【0009】

図1は同一のチップに厚デバイスと薄デバイスを同時並行的に形成するプロセス100の一実施形態の一例を示す図である。プロセス100は薄構造と厚構造用のハードマスク

を装着した半導体基板をパターニング101することにより開始する。基板は通常、埋め込み酸化膜絶縁体を備えたSOI (silicon-on-insulator) である。単一のパターンで薄デバイスと厚デバイスの任意の構成を作成することができる。したがって、薄デバイスと厚デバイスはチップ上で分離している必要はない。能動側壁はドーピングしてトランジスタのソースとドレインを形成する側壁である。ハードマスクのパターニングの詳細は半導体製造の分野ではよく知られている。

#### 【0010】

プロセス100の一実施形態の一例のステップ102では、基板を埋め込み酸化層に至るまでエッチングする。薄フィンは通常、最小リソグラフィ寸法よりも薄い。そこで、最小リソグラフィ寸法未満のフィンの厚さを実現するために、ステップ102には化学エッチングが含まれている。また、当業者が認識しうるように、最小リソグラフィ寸法未満の厚さを実現するのに別の方法を用いることもできる。

#### 【0011】

プロセス100の一実施形態の一例のステップ104では、フィン上および厚ボディ・デバイス上にゲート構造体を形成する。ステップ104には、ゲート酸化膜を形成すること、ゲート材料（たとえばポリシリコン）を堆積すること、ゲート材料をパターニングすること、およびゲート材料をエッチングして所望の形状と大きさにすることが含まれている。プロセスの実施形態100のフィンFETの場合、ゲート材料をエッチングしてフィンに垂直でフィンの両側に隣接し埋め込み酸化膜の部分に隣接したゲート材料の薄い塊を残す。ゲート材料はきわめて薄いゲート酸化膜によってボディから分離されている。フィンの頂上は当該フィンの頂上に残存する絶縁性のハードマスクによってゲートへのコンタクトから絶縁されている。ゲート材料はより広い部分を埋め込み酸化膜上に伸ばし電気コンタクトを受け入れるようにエッチングする。厚ボディ・デバイス上のゲート材料をエッチングして得られる寸法と形状は、形成すべきデバイスの種類によって決まる。しかし、メサ上にFETを形成する場合、ゲートはトランジスタの能動表面を少なくとも2つ領域、すなわちソースとドレインに分割するようにエッチングする。

#### 【0012】

プロセス100の一実施形態の一例のステップ106では、イオン打ち込みマスクを通したイオン打ち込みで各領域をN+にドーピングすることにより、N-FET用のソース、ドレイン、およびゲートを形成する。この実施形態100では、フィンとメサ用のソース領域、ドレイン領域、およびゲートを同時並行的にN+にドーピングする。ステップ106では、チップ上の様々な薄デバイスと厚ボディ・デバイスの関連する領域をN+にドーピングする。大多数の実施形態では、イオン打ち込みの深さは薄デバイスと厚デバイスとで同じである。そこで使用する深さでは、イオンはフィンを完全に貫通するけれどもメサは貫通しない。別の実施形態では、イオン打ち込みの深さを所望する動作のデバイスを形成しうるように変化させる。イオン打ち込みの深さをカスタマイズするには一般に、余分なマスクと工程を必要とする。また、N-FETデバイスとP-FETデバイスはボディ・ドーピングも異なる。ボディ・ドーピングはイオン打ち込みによって、または事前ドーピングした材料を用いて半導体層を形成することによって実現することができる。P-FETデバイスはN-FETデバイスに対して「相補型デバイス」と呼ばれるが、逆も同様である。「N」または「P」なる表記はN-FETデバイスまたはP-FETデバイスの極性と呼ばれている。

#### 【0013】

プロセス100の一実施形態の一例のステップ107では、相補型マスクを準備し、イオン打ち込みマスクを通したイオン打ち込みで各領域をドーピングすることにより、P-FET用のソース、ドレイン、およびゲートを形成する。ステップ106とステップ107では、フィンFETの側壁、メサFETの側壁、およびメサ・トップ型プレーナFETを同時にイオン打ち込みする。一部の実施形態では、ステップ106とステップ107の順番を逆にする。ドーピングは傾斜イオン打ち込みによって実現する。

#### 【0014】

プロセス100の一実施形態の一例のステップ108では、薄デバイスと厚デバイスを酸化膜で封止する。次いで、この酸化膜を平坦化したのち、パターニングとエッチングによって開口を形成し電気コンタクト材料を充填してゲート、ソース、およびドレインに対する電気コンタクトを形成する。電気コンタクト材料としてはタングステンその他当技術分野で知られた好適な金属を用いることができる。

#### 【0015】

図2に示すプロセス130の一実施形態の別の例は、メサ上にボディ・コンタクトを形成する変更したステップ114、118、122と、ボディ・コンタクト用の電気コンタクトを形成するステップ124とを特徴とする。フィンFETは通常、完全に空乏化するので、ボディ・コンタクトは過剰であるから通常は使用しない。ステップ114では、単一能動側壁型メサFET用のゲート構造体を形成する。単一能動側壁型メサFETはメサの1つの側壁上に垂直方向に縮小したFETを備えている。大多数の実施形態では、FETの中央部上に垂直に形成したゲート酸化膜上にゲートを形成してソース領域とドレイン領域とを分割している。ゲートはメサ・トップ（メサの頂上）およびチップの基部酸化膜上にも存在する。

#### 【0016】

ステップ118では、N-FETのソース、ドレイン、およびゲート、ならびにすべての相補型デバイス（P-FET）のボディ・コンタクトをイオン打ち込みマスクを通したイオン打ち込みによってN+にドーピングする。ステップ122では、メサFET用のP+ボディ・コンタクトを形成しながら、相補型デバイスのソース、ドレイン、およびゲートをイオン打ち込みマスクを通したイオン打ち込みによって形成する。これは、メサ型N-FETのソース、ドレイン、およびゲートならびにすべての相補型FETのボディ・コンタクト領域をイオン打ち込みマスクで選択的に被覆することによって行う。単一能動側壁型メサFETの場合、ボディ・コンタクトは非能動側壁を通してメサ・ボディをドーピングしてボディに隣接するボディ・コンタクト領域を形成することにより形成する。実施形態130のステップ110～112はプロセス100の同じ名前のステップ群と同様であるが、ボディ・コンタクトを形成することに適合されている。たとえば、ボディ・コンタクトを用いるデバイス用のステップ110のパターンは、ボディ・コンタクトを用いないデバイスのステップ101のパターンとは異なる。

#### 【0017】

ステップ124はゲートの垂直表面に側壁スペーサを形成するステップと、厚ボディ・デバイスとフィンFETの露出したシリコン表面上にシリサイド層を成長させて電気コンタクトとソース、ドレイン、ゲート、およびボディ・コンタクトとの間にオーミック接続を実現するステップから成る副ステップ群を備えている。ボディ・コンタクトを備えたフィンFETを用いる別の実施形態では、ゲート形成ステップ114の間にフィンFETのボディ・コンタクトを形成（すなわち堆積、平坦化、パターニング、そしてエッチング）し、ステップ118と122の間にドーピングしている。この別の実施形態の変形例では、ゲートとボディ・コンタクトの双方をポリシリコンの1回の堆積で形成している。これらのゲートとボディ・コンタクトは後刻、別々にドーピングする。さらに別の実施形態では、フィンFETのボディ・コンタクトをゲート形成ステップ114とは別に形成している。ステップ124を完了するために、デバイスは酸化膜で封止する。この酸化膜は平坦化し、パターニングし、エッチングして開口を形成する。この開口は金属で充填してデバイスとの電気コンタクトを形成する。

#### 【0018】

図3に示すプロセス150の一実施形態の別の例は、同一チップにフィンFETと能動側壁を2つ備えたメサ型FETとを形成するのに特有のステップ152～164を備えている。ステップ152と154では、他の構造体とともに特に二重側壁型FETを形成すべく特に寸法調整をしたメサを形成する。特定の二重側壁型FETの構造によっては、第2の側壁型FET用の余分の副ステップが必要になる。他のプロセス実施形態の場合と同様に、イオン打ち込みステップ（図3のステップ158とステップ160）は逆の順番に

実行してもよい。ステップ158では、各メサおよび各フィンFET上の第1のメサ型側壁上のソースおよびドレインに加えゲートを同時並行的にN+にドーピングする。ステップ158はさらに、第2のメサ型側壁上のソース、ドレイン、およびゲートをドーピングするステップも備えている。一部の実施形態では、第2の側壁のソース、ドレイン、ゲートをドーピングする（ステップ158）間にフィンFETをマスクしてフィンFETが過剰にドーピングされるのを防止している。あるいは、第1の側壁のソース、ドレイン、ゲートをドーピングする（ステップ158）間にフィンFETをマスクし、第2のメサ型側壁のソース、ドレイン、ゲートをドーピングする（ステップ158）のと同様並行的にフィンFETをドーピングしてもよい。ステップ158では、同一チップ上のすべてのP-FETのボディ・コンタクトを同時並行的にドーピングする。

10

#### 【0019】

さらに別の実施形態では、ステップ158で二重側壁型メサFETのソース領域とドレイン領域をメサ内で接するようにドーピングして、各二重側壁型メサFETに単一の連続ソース領域と単一の連続ドレイン領域を形成している。連続ソース領域と連続ドレイン領域を備えた二重側壁型メサFETの部分集合では、一方の側壁のみを通して連続ソース領域と連続ドレイン領域をイオン打ち込みする（ステップ158）が、ドーピングはメサの幅を貫通して行われる。ボディはゲート直下かつ2つの能動側壁の間にメサのアンダードーピング領域として形成する。別の実施形態では、ゲート、ソース、ドレインを形成する前にメサをボディとしてドーピングする。したがって、ステップ158後にボディとして残っているメサの部分は、メサの元のボディ・ドーピングを失わないでいる。

20

#### 【0020】

ステップ160はステップ158のP+相補型である。ステップ160では、チップ上のN-FETのボディ・コンタクトを同時並行的にドーピングする。留意点を挙げると、二重側壁型メサFETのボディ・コンタクトはメサ・トップを通じて行うから、通常、エッチング副ステップが必要になる。一実施形態では、頂上に設けたハードマスクを通してメサ・ボディまでエッチングするとボディ・コンタクト領域のドーピングが可能になるが、それはゲート・エッチング・ステップの一部として行う。

#### 【0021】

ボディへの電気コンタクトの取り付けは、パターニングしエッチングしてゲート材料とハードマスクを貫通する開口を形成し、ボディ部分をドーピングして（ステップ160）、電気コンタクトとの良好なオーミック接触用の露出部を形成することにより行う。オーミックな電氣的接続用にドーピングしたボディの部分はボディ・コンタクトと呼ばれている。ステップ164はデバイスを絶縁酸化膜で封止するステップと、絶縁酸化膜を平坦化するステップと、絶縁酸化膜をパターニングして電気コンタクト用の開口を形成するステップと、電気コンタクト用の開口を電気コンタクト材料たとえばタングステンその他当技術分野で知られた好適な導体で充填するステップとを備えている。フィンFET用のソース、ドレイン、およびゲート用電気コンタクトもステップ164の一部として同時並行的に形成する。

30

#### 【0022】

図4は同一のチップにフィンFETを形成しながらメサ・トップにボディ・コンタクトのないプレーナ型FETを形成するのに特有のプロセス170の一実施形態の一例を示す図である。ステップ171で使用するパターンは他の構造体とともに特にメサの頂上表面にプレーナ型FETを形成するのに適した少なくとも1つのメサの寸法を決めるものである。エッチング・ステップ172はメサ・トップからハードマスクを除去するステップを含んでいるが、フィンの頂上からは除去しない。これを行うには、フィン上に遮蔽（しゃへい）マスクを堆積し、露出しているメサ・トップ上のハードマスクをこの遮蔽マスクに対して選択的に除去する。プレーナ型FETを形成するには、メサ・トップを露出させる必要がある。次いで、フィン上の遮蔽マスクを剥離する。

40

#### 【0023】

ステップ174では、露出したシリコン表面にゲート酸化膜を成長させる。ゲート酸化

50

膜の成長は均一成長法、レジスト基準二重酸化プロセス、または $N_2$ イオン打ち込み二重酸化プロセスにより、フィン上とメサ・トップ上とで酸化膜の厚さを異ならせることにより行う。次いで、ゲート酸化膜の全面にゲート材料を堆積させる。次いで、ゲート材料を平坦化し、パターニングし、エッチングしてゲートを形成する。次いで、残存ゲート材料で被覆されている部分を除くゲート酸化膜を除去する。留意点を挙げると、プロセス170ではボディ・コンタクトを形成しないから、ゲート形成ステップ174はドーピング・ステップ175と176のあとに行ってもよい。

#### 【0024】

ソース、ドレイン、ゲートの $N+$ ドーピング（ステップ175）は犠牲酸化膜の形成で開始する。次いで、イオン打ち込みと犠牲酸化膜の剥離を行う。実施形態170では、ステップ175において、チップの別の場所にある他の種類の $P-FET$ 厚ボディ・デバイスのボディ・コンタクトを同時並行的にドーピングする。

#### 【0025】

ステップ176はステップ175の $P+$ 相補型である。ステップ176では、メサ・トップ型プレーナ $P-FET$ のソース、ドレイン、ゲートと、チップの別の場所にある他の種類の厚ボディ・デバイスである $N-FET$ のボディ・コンタクトとを同時並行的にドーピングする。留意点を挙げると、プロセス170で形成するメサ・トップ型プレーナ $FET$ はフィン $FET$ と同様に通常、ボディ・コンタクトを備えていない。

#### 【0026】

最後に、ステップ178で、チップを酸化膜で封止し、平坦化し、電気コンタクト開口用にパターニングし、エッチングし、エッチング形成した開口を電気コンタクト材料で充填してソース、ドレイン、ゲートとの電気コンタクトを形成する。

#### 【0027】

図5はボディ・コンタクトを備えたメサ・トップ型 $FET$ を形成するプロセス180の一実施形態の一例を示す図である。ステップ183で、メサ・トップに「H」形状のゲート構造体を形成し、メサ・トップを4つの領域に分割する（図27参照）。「H」形状は1つのクロスバーと一般にこのクロスバーと垂直な2つのサイドバーとを備えている。クロスバーの上下の領域はそれぞれドレイン領域とソース領域である。垂直バー（サイドバー）の左右の領域はボディ・コンタクト領域である。パターニング・ステップ181とエッチング・ステップ182は、このゲート形状をサポートするように適合している。ステップ184では、 $N-FET$ のソースとドレインの $N+$ ドーピング用に遮蔽マスクを開く一方、 $N-FET$ のボディ・コンタクト領域は遮蔽マスクによって閉じておく。そして、この状態で $P-FET$ のボディ・コンタクト領域をドーピングする。ステップ185では、 $P-FET$ のソースとドレインの $P+$ ドーピング用に遮蔽マスクを開く一方、 $P-FET$ のボディ・コンタクト領域は遮蔽マスクによって閉じておく。そして、この状態で $N-FET$ のボディ・コンタクト領域をドーピングする。ステップ187はゲート、ソース、ドレイン、およびボディ・コンタクトへの電気コンタクトを実現する「H」形状ゲートの特定の構成に適合している。

#### 【0028】

上述したプロセス100、130、150、170、および180は薄デバイスと厚ボディ・デバイスの双方を同時並行的に形成することを意図している。また、これらのプロセスは同時並行的に使用することができる。したがって、同時並行的パターニング・ステップはステップ101、110、152、171、および181を含むことができる。同様に、同時並行的なエッチング・ステップ、ゲート形成ステップ、イオン打ち込みステップ、および電気コンタクト形成ステップが可能である。当業者が容易に認識しうるように、プロセス100、130、150、170、および180から成る同時並行的な組み合わせは多数可能である。

#### 【0029】

図6はフィン $FET$ とともに同時並行的に形成する厚ボディ・デバイス用の製造プロセス130（図2）の典型的な実施形態を示す図である。プロセス130（図2）の実施形

態はハードマスク208を備えたSOI基板200、204、202で開始する。基板はウェーハ200、埋め込み酸化膜204、およびP-にドーピングした単結晶シリコン202から成る。別の実施形態では別の基板を使用する。

#### 【0030】

図7はプロセス130（図2）において厚ボディ・デバイスをパターニングし110（図2）エッチングした112（図2）結果を示す図である。この結果は埋め込み酸化膜204上に形成されたシリコン202のメサであり、ハードマスク・キャップ208を備えている。プロセス130（図2）の典型的な実施形態における同一基板上のフィン・デバイスは示されていないが、薄いだけでメサとほとんど同じように見える。図7～図20はチップ上のすべての同様のデバイスの代表として単一側壁型メサFET（厚ボディ・デバイス）を示している。 10

#### 【0031】

図8はステップ114（図2）の一部としてゲート酸化膜306を成長させ、ゲート材料を堆積し、ゲート・ハードマスク404を堆積した結果の一例を示す図である。図8は最終的にゲート構造体になるゲート材料402の部分すなわちメサの中央部を覆う部分を貫通する垂直断面図である。ゲート材料402はメサ202、208、306を完全に取り囲んで覆っている。ゲート・ハードマスク404はゲート材料402を覆っている。ゲート材料402としてはポリシリコンを用いることができる。このステップでは、同一チップ上のフィン構造体上にもゲート材料402とゲート・ハードマスク404を堆積する。 20

#### 【0032】

図9はゲート・ハードマスク404をパターニングし、ゲート・ハードマスク404を開口し、ゲート材料402をエッチングした結果の一例を示す図である。図9はゲート中央線を通る垂直断面図である。結果として得られるゲート402は両端間の中間でメサの能動側壁と接触している。この結果、能動側壁はソース領域とドレイン領域とに分割されている。ゲート材料402の一部はメサ202、208、306から離れて埋め込み酸化膜204上に伸びてゲート電気コンタクト用の接続点を実現している。ゲート材料402の他の一部はメサの頂上208の上に伸びている。このプロセスでは、チップ上のどこかに設けられているフィン用のゲートを同時並行的に形成する。そして、ゲート材料402を、フィン（図示していないが、符号202および306と同じ材料から成る）の両側のゲート酸化膜との接触を維持するようにパターニングしエッチングする。フィンのゲート材料402はフィンの頂上層（符号208と同じ材料）の上に連続的に存在する。そして、ゲート材料402はフィンの両側で埋め込み酸化膜204と接触している。メサおよびフィン上にゲート構造体を形成してステップ114（図2）を完了する。 30

#### 【0033】

図10はステップ118（図2）の一部としてイオン打ち込みレジスト・マスク602を堆積した結果の一例およびN+イオン打ち込みを行った結果の一例を示す図である。イオン打ち込みの角度は図10に示す垂直断面図の左上からである。ゲート402、ゲート酸化膜306、ゲート・ハードマスク404、およびレジスト・マスク602の垂直断面図はゲート中心線を通っている。メサを通る垂直断面図は読者に近い側の平面内にあり、ゲートを通っていない。イオン打ち込みによって、ゲート材料の大部分がN+ポリシリコン402に変化する。ゲート材料の一部604には通常、イオン打ち込みが到達しない。ただし、一部の実施形態では、部分604にもイオン打ち込みを行う。ソース606、ドレイン607（図14参照）、およびゲート402のN+イオン打ち込み用のマスク602は、P-FETデバイスのボディ・コンタクト用に開口してN+イオン打ち込みに備えている。一実施形態では、ゲート402をドーピングするN+イオン打ち込みステップによってソース領域606とドレイン領域607（図14参照）を形成する（図2のステップ118）。このプロセスでは、N-フィンFETのソース、ドレイン、ゲートを同時並行的にドーピングする。イオン打ち込みレジスト・マスク602はフィンも覆っているが、フィンの両側のゲート材料402用には開口している。したがって、ドーピング・プロセスによ 50

っては、フィンの上には符号604のようなアンドープ領域が形成されない。メサにおけるソース領域606とドレイン領域607（図14参照）を形成するドーピング118（図2）によって、フィンのソース端とドレイン端にあるフィンを通ってソース領域とドレイン領域が完全に形成される。この結果、フィンのソース端とドレイン端はフィン・ゲートによって分離される。

#### 【0034】

図11はイオン打ち込みレジスト・マスク602（図10）を除去し、図11に示す新たなイオン打ち込みレジスト・マスク702を堆積し、右上からP+イオンを打ち込んだ結果を示す図である。イオン打ち込みによって、P型シリコンのメサ・ボディ202の一部がP+型シリコンのボディ・コンタクト710に変化する。一実施形態では、図11に示すように、マスク702は領域604上を下りハードマスク・キャップ208の一部を覆っている。別の実施形態では、マスク702はゲート・ハードマスク404の右端で止まっている。（説明中の）この実施形態では、ゲート材料の微小部分604が不可避免的にドーピングされてP+ゲート材料708になる。ボディ・コンタクト710のP+イオン打ち込みステップ122（図2）用のマスク702は、P-FETデバイスのソース、ドレイン、ゲート用にも開口している。このステップの間、N-フィンFETはイオン打ち込みレジスト・マスク702でマスクする。少なくとも1つのフィンFETがボディ・コンタクトを備えている別の実施形態では、フィンFETのボディ・コンタクトを厚ボディ・デバイスのボディ・コンタクトと同時並行的にドーピングする。

#### 【0035】

図12はイオン打ち込みレジスト・マスク702（図11）を除去するステップと、ゲート・ハードマスク404を除去するステップと、ゲート402上へ側壁スペーサ805を形成するステップと、ゲート402、ソース領域606およびドレイン領域607（図14参照）、ならびにボディ・コンタクト710の露出したシリコン上へシリサイド層802を成長させるステップとを備えた開始ステップ124（図2）の結果の一例を示す図である。このプロセスでは、ゲート酸化膜306の露出部分が侵食されるほか、P+ゲート材料708とおそらくアンドープのゲート材料604も侵食される。また、シリサイド成長プロセスによって、メサ710、606のシリコンの一部、厚ボディ・デバイスのゲート402のシリコンの一部、ならびにフィンFETのフィンおよびゲートの一部が侵食される。シリサイド層の形成はステップ124（図2）の前置副ステップである。

#### 【0036】

図13はさらに厚ボディ・デバイスを酸化膜904で封止するステップと、酸化膜904を平坦化するステップと、酸化膜904をパターニングしエッチングして電気コンタクト902、903用の開口を形成するステップと、ボディ・コンタクト710、ゲート402、ソース606、およびドレイン607（図14）への電気コンタクト902、903、1002（図14）、および1004（図14）をそれぞれ形成するステップとを備えたステップ124（図2）のさらなる結果の一例を示す図である。大多数の実施形態では、電気コンタクト902、903、1002、および1004は金属で形成する。電気コンタクト903とゲート402との間、および電気コンタクト902とボディ・コンタクト710との間のシリサイド層802は、金属の電気コンタクトと半導体材料との間のオーミック接触を実現している。図13には図14で使用する断面切り取り面（A-A'）がある。電気コンタクトはフィンのソース、ドレイン、ゲート用に、別の実施形態ではさらにフィンのボディ・コンタクト用に同時並行的に形成する。フィンFETは通常はボディ・コンタクト710を備えていない。ボディ・コンタクトを備えたフィンFETを備えた装置の実施形態では、それへの電気コンタクトもステップ124（図2）で形成する。

#### 【0037】

図14は図13の断面A-A'で画定された平面図である。一例として示す厚ボディ・デバイス、同時並行的に形成した他の厚ボディ・デバイス、および同時並行的に形成したフィンは、絶縁酸化膜904で封止されている。トランジスタ202のボディにはその長

10

20

30

40

50



手方向に沿ってボディ・コンタクト710が接触している。ボディ・コンタクト710はシリサイド層802を通じてボディ電気コンタクト902と電氣的に接続されている。ソース領域606とドレイン領域607はボディ202中のドーパされた領域であり、それぞれの表面にシリサイド802、802が成長されており、それぞれソース電気コンタクト1002とドレイン電気コンタクト1004へのオーミック接続を形成している。ゲート402で覆われたゲート酸化膜306はシリサイド802形成プロセスを生き延びている。ゲート402はゲート酸化膜306を通してボディ202とオーミック・コンタクトを形成している。ゲート402はシリサイド802の形成に起因して寸法が縮小している。ゲート電気コンタクト903は断面切り取り面A-A'より下の面でシリサイド層802を通じて接続している。

10

## 【0038】

別の実施形態では、メサの頂上を通じてボディ電気コンタクト902を形成する。この別の実施形態の一ステップの結果を示す図15では、元の実施形態である図8の左側が取り除かれている。図15はゲートの中心線を通る垂直断面図である。この別の実施形態では、ゲート材料402とゲート・ハードマスク404をパターニングしエッチングしてメサ202、208の上に伸ばしてある。次いで、元の実施形態と同じくゲート材料402、ソース606（ゲート中央線よりも読者に近い側の面にある）、およびドレイン607（図示せず）のN+イオン打ち込みドーピング（図2のステップ118）、ならびにメサ202のP+イオン打ち込みドーピング（図2のステップ122）に進むが、図15では反対側から行う。

20

## 【0039】

図16はメサをP+ドーピング（図2のステップ122）した結果を示す図である。P+ドーピングによって、ボディ・コンタクト710が形成される。ボディ・コンタクト710は能動側壁の反対側のボディ202と接触している。次いで、ゲート402の垂直面に側壁スペーサ805を形成する。次いで、図示する厚ボディ・デバイスの露出したシリコン表面、ならびに図16に示されていないフィンFETおよび別の厚ボディ・デバイスの露出したシリコン表面にシリサイド層802を形成する。留意点を挙げると、メサ・ハードマスク208はシリサイド802成長プロセスによって侵食されない。シリサイド802形成プロセスを生き延びたゲート酸化膜306の一部がゲートとボディ202との間に残存しているが、メサ上の他の場所には顕著には存在しない。一実施形態では、このステップ185（図5）では、チップ上の他の場所に存在するP-FETのソースとドレインを同時並行的にドーパする。別の実施形態では、このステップ185（図5）では、チップ上の他の場所に存在するP-FETのソース、ドレイン、ゲートを同時並行的にドーパする。

30

## 【0040】

図17は図16のデバイスを、平坦化した酸化膜904で封止した状態を示す図である。平坦化した酸化膜904はパターニングしエッチングして電気コンタクト1152、1154、1002（図18）、1004（図18）用の開口が形成してある。留意点を挙げると、ボディ・コンタクト電気コンタクト1152用のエッチングはメサ・ハードマスク208を貫通してボディ・コンタクト710に到達する。エッチング形成した開口はタングステンその他好適な導体で充填して電気コンタクト1152、1154、1002（図18）、1004（図18）を形成する。ボディ・コンタクト電気コンタクト1152とゲート電気コンタクト1154を図17に示す。電気コンタクト1152、1154、1002（図18）、1004（図18）の形成によって、ステップ187（図5）が完了する。図17には2つの水平断面A-A'とB-B'が画定されている。

40

## 【0041】

図18は図17で画定したB-B'水平断面を示す図であるが、ソース用の電気コンタクト102とドレイン用の電気コンタクト104が付加してある。ソース用の電気コンタクト102とドレイン用の電気コンタクト104へのソース606用のオーミック・コンタクトとドレイン607用のオーミック・コンタクトは、シリサイド層802、802が

50

実現している。埋め込み酸化膜上のゲート402の幅広部は（この断面より上にある）ゲート電気コンタクト用の接続点として機能する。幅広部とゲート酸化膜306との間の、ゲート材料402の薄い部分は最小リソグラフィ寸法以下である。ゲート材料402はこれと同じ幅で（図18の右側において）メサの能動側壁の垂直面と接触している。ボディ・コンタクト710はその長手方向および高さ方向に沿ってボディ202と接触している。ソース領域606とドレイン領域607はボディ202中にドーブされており、シリサイド層802はソース606とドレイン607中に成長している。図18には垂直断面F-F'が画定されているが、これは図17の断面である。

#### 【0042】

図19は図17で画定した水平断面A-A'を示す図であるが、ソース、ドレイン、ボディ・コンタクト、ゲート・コンタクト用の電気コンタクト1002、1004、1152、1154がそれぞれ付加されている。留意点を挙げると、ゲートはメサ・トップをソース1002、ドレイン1004、およびボディ・コンタクト1152用の電気コンタクト群にそれぞれ対応する3つの領域に分割するように形成されている。ゲート402の垂直面には側壁スペーサ805が形成されている。ゲート構造体402、メサの能動側壁606、607（図19では隠れているが、メサの右側に沿う垂直の破線で示してある。図18には示されている。）、およびボディ・コンタクト710の側壁（図18）の露出したシリコン表面にはシリサイド802が形成されている。ソース電気コンタクト1002およびドレイン電気コンタクト1004は、シリサイド802を通じてソース領域およびドレイン領域とオーミック接続を形成している。

#### 【0043】

デバイスは酸化膜904で封止されている。酸化膜904は平坦化しパターニングしエッチングされ電気コンタクト1152、1002、1004、1154用の開口が形成されている。ボディ電気コンタクト1152を形成するには、メサ・ハードマスク208をパターニングしエッチングして酸化膜904中のボディ電気コンタクト開口を深め（図19の水平断面の下にある）ボディ・コンタクト710に到達するまでエッチングで掘り下げる。次いで、開口によって露出したボディ・コンタクト710の部分をドーブして電気コンタクト1152用のオーミック接続を形成する。次いで、開口を金属で充填して電気コンタクト1152を形成する。ソース、ドレイン、ゲート用、他の厚ボディ・デバイスおよびフィン用の電気コンタクト用の、絶縁封止酸化膜904中の開口はステップ124（図2）の副ステップでパターニングし、ステップ124（図2）の副ステップでエッチングする。図19では2つの垂直断面D-D'とE-E'が画定されている。断面E-E'は図17を見る面である。断面D-D'は図20を見る面である。図20はメサの内部へのドーピングの様子を詳細に示す図である。ボディ・コンタクト710は図20の左上からのイオン打ち込みによって形成する。ソース領域606は図20の右上からのイオン打ち込みによって形成する。ソース606、ドレイン607（図18）、およびゲート402のイオン打ち込みのあと、シリサイド802を成長させる。シリサイド802を成長させたあと、酸化膜904を堆積し平坦化しエッチングして電気コンタクト1002用、および電気コンタクト1004、1152、1154（図19）用の開口群を形成する。図20の開口は電気コンタクト材料たとえばタングステンその他の金属で充填してソース606用の電気コンタクト1002を形成する。他の開口も同様である。電気コンタクト1002はシリサイド層802を通じてソース606とオーミック接続している。

#### 【0044】

プロセス170（図4）の典型的な実施形態では、同一チップのどこかにあるフィンFETの形成と同時並行的にメサ・トップにプレーナ型FETを形成する。図21はたとえば図6に示すようなSOI基板（200、204、202、208）をパターニング171（図4）しエッチング172（図4）してメサ1301とフィン1303を形成した結果の一例を示す図である。メサ1301とフィン1303は各々、ウェーハ200上の基部酸化膜204上のシリコン・ボディ202の上部にハードマスク208の残部を有する。

10

20

30

40

50

## 【0045】

図22はプロセス170(図4)の典型的な実施形態のステップ172(図4)のさらなる結果を示す図であり、フィン1303を遮蔽マスク1302で封止し、メサ1301からハードマスク208を選択エッチングして除去した状態を示している。これにより、その上にプレーナ型FETを形成することになる、メサ202の頂上表面が露出する。実施形態170(図4)では、ステップ172(図4)は遮蔽マスク1202を剥離したときに完了する。

## 【0046】

ステップ174(図4)では、少なくとも1つのメサ型側壁FETデバイス用のゲートを形成している間、プレーナ型FET1301を遮蔽する。別の実施形態では、ステップ174(図4)用のマスクには遮蔽マスク1202が含まれる。

## 【0047】

図23はメサ1301とフィン1303のドレイン領域を通る垂直断面における、プロセス170(図4)の典型的な実施形態のさらなるステップ群の結果の一例を示す図である。上記さらなるステップ群には、フィン1303から遮蔽マスク1202(図22)を剥離してステップ172(図4)を完了させるステップと、犠牲酸化膜(図示せず)を成長させてステップ175(図4)を開始するステップと、遮蔽マスク(図示せず)を通してメサ1301の頂上とフィン1303の側面1508にソース領域(図示せず)とドレイン領域1506をイオン打ち込みして形成するステップ(ステップ175、図4)と、犠牲酸化膜(図示せず)を剥離しゲート酸化膜1304を成長させるステップとが含まれる。ソースとドレイン1506のイオン打ち込みはフィン1303とメサ1301とで同時並行的に行う。この方法の一実施形態では、まずフィン1303を遮蔽しておいてメサ1301のカスタム化したイオン打ち込みを行い、次いでメサ1301を遮蔽しておいてフィン1303のカスタム化したイオン打ち込みを行う。この方法の別の実施形態では、まずメサ1301を遮蔽しておいてフィン1303をイオン打ち込みし、次いでフィン1303を遮蔽しておいてメサ1301をイオン打ち込みする。さらに別の実施形態では、イオン打ち込みを行う前にフィン用のゲートとメサ・トップ型プレーナFETのゲートの双方を形成する。この実施形態の変形例では、フィンおよびメサ・トップ型プレーナFETのソース、ドレイン、ゲートは同一のマスクを通してドーピングする。

## 【0048】

図24はゲート材料1402を堆積し平坦化した、ステップ177(図4)中のフィン1303とメサ1301を示す図である。図24はゲートの中心線になるものを通る垂直断面である。留意点を挙げると、フィン1303はハードマスク・キャップ208を残したままであり、ゲート酸化膜1304はフィン1303の両側およびメサ1301の側面と頂上を覆っている。

## 【0049】

図25はゲート1504とゲート1502をそれぞれパターニングしエッチングしたフィン1303とメサ1301を示す図である。エッチングしたゲート1502とゲート1504は薄構造体であり、一般にそれぞれメサとフィンに垂直である。図25はステップ177(図4)の完了を表わしている。

## 【0050】

図26はフィン1303とメサ1301の平面図であり、酸化膜1650で封止されたフィン1303とメサ1301を示している。酸化膜1650は平坦化されパターニングされエッチングされて、プレーナ型メサFETのソース電気コンタクト1604用、プレーナ型メサFETのドレイン電気コンタクト1602用、プレーナ型メサFETのゲート電気コンタクト1609用、フィンFETのゲート電気コンタクト1607用、フィンFETのソース電気コンタクト1603用、およびフィンFETのドレイン電気コンタクト1601用の開口群が形成されている。メサの頂上はゲート酸化膜1304で覆われている。ゲート酸化膜1304はゲート1502で部分的に覆われている。別の実施形態では、封止酸化膜を堆積する前に、露出したゲート酸化層1304をエッチング除去してボデ

イ 2 0 2 (図 2 5) を露出させている。フィン 1 3 0 3 の頂上には、基板に元からあるハードマスク 2 0 8 の残部が存在する。このハードマスクの残部 2 0 8 にゲート 1 5 0 4 が部分的に重なり合っている。メサ・ゲート 1 5 0 2 の延長部はゲート電気コンタクト 1 6 0 9 用の接続点を形成している。同様に、フィン・ゲート 1 5 0 4 もボディから外方に伸びてゲート電気コンタクト 1 6 0 7 用の接続点を形成している。図 2 6 はステップ 1 7 8 (図 4) の完了を表わしている。

#### 【0051】

プロセス 1 8 0 (図 5) のさらに別の典型的な実施形態では、ソースとドレインのイオン打ち込みの前にメサ・トップ型プレーナ F E T 用のゲートを形成する。図 2 7 はボディ・コンタクト 1 8 0 0 を備えたメサ・トップ型 F E T 1 3 2 1 および同時並行的に形成したフィン F E T 1 3 0 3 (両者は酸化膜 1 6 5 0 で封止されている) の典型的な実施形態の平面図である。ゲート 1 5 0 2 は「H」形状をしており、メサの頂上を 4 つの領域に分割している。ゲート 1 5 0 2 のサイドバーの左側と右側にはボディ・コンタクト 1 8 0 0 がある。この実施形態 1 8 0 に適合するように、ステップ 1 8 1 とステップ 1 8 2 (図 5) のあとにステップ 1 8 3 (図 5) でゲート 1 5 0 2 を形成する。ステップ 1 8 3 (図 5) には、ゲート材料を堆積する前にメサ・トップにゲート酸化膜 1 3 0 4 を成長させるステップが含まれている。ゲート 1 5 0 2 の一部 (最終的にはステップ 1 8 3 (図 5) でエッチングされる) がメサ・トップの端を越えて伸びメサの側面のゲート酸化膜と接触したのち基板 2 0 4 (図 2 5) に到達している。ゲート 1 5 0 2 用の電気コンタクト 1 6 0 9 は、封止酸化膜 1 6 5 0 に開口を形成し、その開口をタンゲステンその他当技術分野で知られた同様の電気導体で充填することにより形成する。

#### 【0052】

ステップ 1 8 4 (図 5) では、メサ・トップ・デバイスとフィン F E T の中央部がイオン打ち込み用に開けてある遮蔽マスクを使用している。N-F E T の場合、ステップ 1 8 4 (図 5) で、ソース 1 8 0 2、ドレイン 1 5 0 6、およびゲート 1 5 0 2 を N+ にドーピングする。同時に、P-F E T のコンタクトをドーピングする。遮蔽マスクの開口はゲート 1 5 0 2 全体にわたって完全に開いているわけではなく、「H」形状のゲートの「垂直」バーの左端および右端は部分的に覆われているだけである。傾斜イオン打ち込みによって、ゲート 1 5 0 2 のほとんど全体をドーピングする。ステップ 1 8 5 (図 5) では、メサ・トップ型 N-F E T のゲート領域、ソース領域、ドレイン領域を遮蔽マスクで閉じ、ボディ・コンタクト 1 8 0 0 領域を P+ ドーピング用に開口する。同時に、メサ・トップ型 P-F E T のゲート領域、ソース領域、ドレイン領域を P+ にドーピングする。ステップ 1 8 4 とステップ 1 8 5 (図 5) の間に、別の場所に開示してある他の厚ボディ F E T をその F E T の種類に適切のように同時並行的にドーピングする。

#### 【0053】

ステップ 1 8 7 (図 5) には、メサ (図 2 7 ~ 図 3 0 には図示せず) の頂上と側面の露出したドーパント・シリコン 1 8 0 0、1 5 0 6、1 8 0 2 の上にシリサイド層を形成するステップが含まれている。このシリサイド層によって、ソース 1 8 0 2、ドレイン 1 5 0 6、ゲート 1 5 0 2、ボディ・コンタクト 1 8 0 0 用の電気コンタクト 1 6 0 2、1 6 0 4、1 6 0 9、1 8 1 0 用にオーミック接続がそれぞれ形成される。図 2 8 は断面線 G-G' と H-H' を記入しボディ・コンタクトを備えたメサ型 F E T 1 3 2 1 の平面図である。図 2 9 は断面 G-G' の垂直断面図である。ゲート 1 5 0 2 とゲート酸化膜 1 3 0 4 の直下にはボディ 1 8 3 0 がある。ボディ 1 8 3 0 はボディ・コンタクト 1 8 0 0 を形成したのちゲート 1 5 0 2、ソース 1 8 0 2、ドレイン 1 5 0 6 を形成するイオン打ち込みによってドーピングされない、メサの部分である。電気コンタクト 1 8 1 0 は封止酸化膜 1 6 5 0 中に開口をエッチング形成したのち、その開口をタンゲステンその他当技術分野で知られた同様の電気導体で充填することにより形成する。電気コンタクト 1 8 1 0 はボディ・コンタクトを覆うシリサイド層 (図示せず) を通じてオーミック接続を形成している。図 3 0 はドレイン 1 5 0 6 を通る垂直断面 H-H' を示す図である。電気コンタクト 1 6 0 4、1 6 0 2 (図 2 8) は封止酸化膜 1 6 5 0 中に開口をエッチング形成したのち、そ

の開口をタングステンその他当技術分野で知られた同様の電気導体で充填することにより形成する。ゲート1502のサイドバーとクロスバー（図29）の下にもボディ1830が存在する。実施形態によっては、電気コンタクト1810は図30に示すデバイスの上の接続面中で接続されている。

#### 【0054】

プロセス150（図3）の典型的な実施形態である第4の実施形態では、フィンFETと二重側面型メサFETを同時並行的に形成する。実施形態150（図3）は図31に示す基板200、204、202、208、206で開始する。上記基板は単結晶シリコン202上に設けられた酸化層208とこの酸化層208上に設けられた窒化層206から成るハードマスクを備えている。酸化層208としては、TEOS（tetraethyloxysilane）酸化膜を用いることができる。シリコン・ウェーハ200上には単結晶シリコン202の直下に埋め込み酸化膜204が成長されている。別の実施形態では別の同様の基板を用いることができる。

10

#### 【0055】

図32はこのプロセスの一実施形態150（図3）における追加のステップ群の結果を示す図である。まず、ステップ152（図3）で窒化層206をパターニングする。次いで、窒化層206をマスクとして酸化層208を単結晶シリコン202に至るまで選択的にエッチングして（まだ図3のステップ152）、薄構造体1801と厚構造体1802を形成する。一実施形態150（図3）では、薄構造体1801の幅は最小リソグラフィ寸法である。

20

#### 【0056】

図33は窒化層206および単結晶シリコン層202と反応することなく酸化層208を化学的にアンダーカットした結果の一例を示す図である。化学的アンダーカットの目的は最小リソグラフィ寸法未満の厚さのフィン1801を得るためである。この方法によって、単結晶シリコン202上に酸化膜208ストリップが残される。この酸化膜208ストリップは窒化膜206キャップを備えている。メサ1802の酸化膜208ストリップの寸法が縮小するのは不可避であるが、メサ1802のハードマスク206、208を最終の所望寸法よりも大きくパターニングすることにより補償することができる。化学的アンダーカットはフィン1801の幅用のパターンを形成するためのものであるから、これらの処置はパターニング・ステップ152に含まれる。

30

#### 【0057】

図34は窒化膜206キャップ（図32）を選択的にエッチング除去して、単結晶シリコン202上に酸化膜208ストリップを残した結果の一例を示す図である。これらのストリップは後続するステップにおけるフィン1801とメサ1802の寸法を画定する。したがって、窒化膜キャップのエッチング除去はステップ152（図3）の最終副ステップである。

#### 【0058】

図35は頂上にある酸化層208をマスクとして単結晶シリコン202を埋め込み酸化膜204に至るまでエッチング154（図3）した結果の一例を示す図である。このエッチング・ステップ154によって、最小リソグラフィ寸法未満の幅のフィン1801とメサ1802とが形成される。続いて、3つの表面、すなわちフィン1801の1つの側壁およびメサ1802の2つの側壁にトランジスタを形成する。

40

#### 【0059】

図36はフィン1801とメサ1802の上にゲート酸化膜2204を成長させたのち、ゲート材料2202を堆積した結果の一例を示す図である。したがって、ステップ156（図3）を開始し、ゲート構造体を形成する。ゲート酸化膜2204はゲート材料2202とボディ202との間のオーミック・コンタクトを実現することになる。

#### 【0060】

次いで、ゲート材料2202を同時並行的にパターニングし同時並行的にエッチングして正確な寸法と形状にする。これにより、ステップ156（図3）を完了する。次いで、

50

イオン打ち込みによってソースとドレインを形成する。これにより、ステップ158（図3）を完了する。一実施形態では、ステップ158では、同一チップ上の別のN-FETのソースとドレイン、加えて同一チップ上の別のP-FETのボディ・コンタクトを同時並行的にドーピングする。

#### 【0061】

図37（a）はフィン1801とメサ1802の平面図である。フィン1801の平面図からは、ゲート材料2202とトップ酸化膜208が見える。図37（a）では、（図3のステップ156の一部として）ゲート2202をパターニングしエッチングした結果を見ることができる。メサ1802の平面図からは、ゲート材料2202とトップ酸化膜208が見えるが、エッチング形成した開口を通じ、ゲート材料2202を通じ、トップ酸化膜208を通じてメサ・ボディ202も見える。上記開口はボディ202との電気接続を形成する手段である。ステップ160（図3）において、ボディ202上のコンタクト点で単結晶シリコンのボディ202をドーピングしてボディ・コンタクトを形成する。図37（a）には、図37（b）に示す垂直断面A-A'が画定されている。

#### 【0062】

図37（b）を参照すると、フィン1801はフィンの両側に隣接するゲート材料2202によって二重ゲート構造をしている。ゲート材料2202はフィン1801の両側のゲート酸化膜2204を通してボディ202との電気コンタクトを形成している。したがって、ボディ・コンタクトは必要としない。メサ1802に接触しているゲート2202は2つの側壁に形成された2つのFET用の共通ゲートを形成している。メサ1802の両側面に設けられた2つのFETは電氣的に並列に接続されており、単側壁型FETやフィンFETよりも大電力のFETを形成している。

#### 【0063】

図38（a）はプロセス150（図3）の一実施形態において、デバイス1801とデバイス1802を酸化膜2302で封止し、酸化膜2302を平坦化し、酸化膜2302をパターニングして電気コンタクト用の開口を形成し、その開口をエッチングし、その開口を金属その他好適な導体で充填してゲート、ソース、ドレイン、および厚ボディ・デバイス1802上のボディ・コンタクトへの電気コンタクト2304、2306、2308、2310、2312を形成している（図3のステップ164）。図38（a）には、図38（b）に示す垂直断面A-A'が画定されている。

#### 【0064】

図38（b）を参照すると、フィンFETゲートの電気コンタクト2304、ボディ・コンタクトの電気コンタクト2310、および二重側面型メサFETゲートの電気コンタクト2308の断面が示されている。フィン1801ゲートの電気コンタクト2304は埋め込み酸化膜204上に堆積されたゲート2202の一部に接触している。ボディ電気コンタクト2310はゲート2202とハードマスク残部208中に侵入し、ボディ202のソースまたはドレインとしてドーピングされていない部分に到達している。垂直断面A-A'では、メサ・ボディ202とフィン・ボディ202はソースとドレインのイオン打ち込みの影響を受けていない。

#### 【0065】

図38（b）には、フィン1801と二重側壁型メサFET1802のドレイン2210領域を通る垂直断面B-B'も画定されている。図39（a）はドレイン2210を通る断面図である。図39（a）を参照すると、フィン1801のソース・コンタクト2306（この図では2312の後ろに隠れている。図38（a）参照）とドレイン・コンタクト2312は、一部は埋め込み酸化膜204に到達し、一部はフィン1801の頂上のハードマスクの残部キャップ208に到達している。フィン1801のソース・コンタクト2306とドレイン・コンタクト2312はそれぞれソース領域とドレイン領域の上の、フィンの垂直面に接触している。ステップ164（図3）の第1の副ステップとしてフィン1801とメサ1802の露出したシリコン表面にシリサイド層を成長させて、電気コンタクト2304、2306、2307、2308、2310、2312用のオーミ

ック・コンタクトを保証している。厚ボディ・デバイス1802はドレイン・コンタクト2313を備えている。ドレイン・コンタクト2313はハードマスク残部208中に侵入し単結晶シリコン基板202中の2つのドレイン領域2210（左右に形成されている）に接触している。厚ボディ・デバイス1802はソース・コンタクト2307も備えている。ソース・コンタクト2307はハードマスク残部208中に侵入し単結晶シリコン基板202中の2つのソース領域2210（左右に形成されている）に接触している。メサ1801の右側壁上のFETとメサ1801の左側壁上のFETはソース、ドレイン、ゲート、およびボディで電氣的に接続されている。したがって、これらのFETは大電力のFETとして並列動作する。一実施形態では、両側壁のFETの2つのソースと2つのドレインは繋がっている。このような実施形態では、図39（a）において2つのドレイン領域2210の間にシリコン202は見えず、ドレイン領域2210はメサの幅全体にわたる単一の領域に見える。

10

【0066】

図39（b）はフィンのソース・コンタクトまたはドレイン・コンタクト2314の別の実施形態を示す図であり、コンタクト2314はフィンのソース領域またはドレイン領域の両側に接触している。

【0067】

以上、本発明の実施形態を詳細に説明したが、当業者が認識しうるように、上述した4つの実施形態の組み合わせや変形によって、フィンFET、単側壁ボディ・コンタクト型メサFET、二重側壁ボディ・コンタクト型メサFET、およびプレーナ型メサ・トップFETを同一チップ上に形成することが可能になる。たとえば、プロセス130（図2、単側壁ボディ・コンタクト型メサFET）の実施形態とプロセス170（図4、メサ・トップ型プレーナFET）の実施形態を、ソースとドレインをイオン打ち込みする前にゲートを形成するように変更することができる。これにより、1つのチップ上で4つの典型的な実施形態すべてのゲートを形成するステップを共通にすることが可能になる。同様に、たった1つの実施形態が必要とするだけの副ステップであっても、他のすべての実施形態を遮蔽することにより、当該たった1つの実施形態を同一の製造工程で実行することができる。ただし、ある程度の効率は犠牲になる。当業者は本発明の範囲内で単一のチップ上に様々なデバイスの実施形態群を変形し組み合わせることができる。

20

【0068】

まとめとして以下の事項を開示する。

30

（1）

少なくとも1つのフィン型電界効果トランジスタと少なくとも1つの厚ボディ・デバイスとを備えた集積回路チップであって、

前記少なくとも1つのフィン型電界効果トランジスタと前記少なくとも1つの厚ボディ・デバイスとが同時並行的に形成されている、  
集積回路チップ。

（2）

前記少なくとも1つの厚ボディ・デバイスがボディ・コンタクトを備えた厚ボディ・デバイスから成る、

40

上記（1）に記載の集積回路チップ。

（3）

前記厚ボディ・デバイスが半導体メサの第1の側壁上に垂直方向に縮小した電界効果トランジスタを備え、

前記ボディ・コンタクトが前記半導体メサの反対側の第2の側壁を通してドーブされた、前記メサの一部を有する、

上記（2）に記載の集積回路チップ。

（4）

前記厚ボディ・デバイスが、

半導体メサの第1の側壁に設けられ垂直方向に縮小した第1の電界効果トランジスタと

50

前記半導体メサの反対側の第2の側壁に設けられ垂直方向に縮小した第2の電界効果トランジスタであって、そのソース、ドレイン、ゲートが前記第1の電界効果トランジスタと位置合わせされた第2の電界効果トランジスタと、

前記2つのソースと前記2つのドレインとの間の半導体の表面に設けられたボディ・コンタクトと  
備えている

上記(2)に記載の集積回路チップ。

(5)

前記少なくとも1つの厚ボディ・デバイスが半導体メサの表面にプレーナ型電界効果トランジスタを備えている、

上記(2)に記載の集積回路チップ。

(6)

前記少なくとも1つの厚ボディ・デバイスが半導体メサの表面にプレーナ型電界効果トランジスタを備えている、

上記(1)に記載の集積回路チップ。

(7)

前記少なくとも1つの厚ボディ・デバイスが、同時並行的に形成された異なる種類の厚ボディ・デバイスを含む複数の厚ボディ・デバイスを備えている、

上記(1)に記載の集積回路チップ。

(8)

少なくとも1つのフィン型電界効果トランジスタと少なくとも1つの厚ボディ・デバイスとを備えた集積回路チップを製造する方法であって、

前記方法は、

1つのマスクと該マスクに付随する1つのプロセスを用い、前記少なくとも1つのフィン型電界効果トランジスタおよび前記少なくとも1つの厚ボディ・デバイスを同時並行的に形成する少なくとも1つのステップ  
を備えている、

方法。

(9) さらに、

ハードマスクを装着した半導体基板ウェーハを準備するステップと、

前記半導体基板をパターニングして前記ウェーハ上に少なくとも1つの狭いフィン構造体および少なくとも1つの厚メサ構造体を形成するステップであって、前記フィン構造体は平行な第1の長側壁および第2の長側壁を備え、前記メサは頂上面ならびに平行な第3の長側壁および第4の長側壁を備えている、ステップと  
を備えた、

上記(8)に記載の方法。

(10) さらに、

(a) 前記少なくとも1つのフィン構造体を遮蔽マスクで遮蔽するステップと、

(b) 前記少なくとも1つのメサ構造体の頂上から前記ハードマスクを、前記遮蔽マスクに対して選択的にエッチング除去するステップと、

(c) 前記遮蔽マスクを剥離するステップと、

(d) 前記少なくとも1つのメサの頂上、ならびに前記フィン構造体の第1の長側壁および前記フィン構造体の第2の長側壁のうちの一方の上にソース領域およびドレイン領域を同時並行的にイオン打ち込みして形成するステップと、

(e) 前記少なくとも1つのメサの頂上、および前記フィン構造体の前記両長側壁の上にゲート酸化膜を同時並行的に成長させるステップと、

(f) 前記少なくとも1つのフィン構造体の頂上および両長側壁上、ならびに前記少なくとも1つのメサ構造体の頂上および両長側壁上にゲート材料を同時並行的に堆積するステップと



を備えた、

上記（９）に記載の方法。

（１１） さらに、

（ａ）前記少なくとも１つのフィン構造体上のゲート材料および前記少なくとも１つのメサ構造体上のゲート材料を同時並行的に平坦化するステップと、

（ｂ）前記少なくとも１つのフィン構造体上のゲート構造体および前記少なくとも１つのメサ構造体上のゲート構造体を同時並行的にパターンニングするステップと、

（ｃ）前記少なくとも１つのフィン構造体上のゲート構造体および前記少なくとも１つのメサ構造体上のゲート構造体を同時並行的にエッチングするステップと、

（ｄ）前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、

10

（ｅ）前記少なくとも１つのメサの頂上に設けられたゲート、ソース、およびドレインへの電気コンタクト、ならびに前記ウェーハ上の少なくとも１つの別のデバイス上に設けられたゲート、ソース、およびドレインへの電気コンタクトを同時並行的に形成するステップと

を備えた、

上記（１０）に記載の方法。

（１２）

（ａ）半導体基板をエッチングして頂上および側壁を備えた少なくとも１つのフィンならびに頂上および側壁を備えた少なくとも１つのメサ構造体を同時並行的に形成するステップと、

20

（ｂ）前記少なくとも１つのフィン上および前記少なくとも１つのメサ上にゲート構造体を同時並行的に形成するステップであって、前記ゲート構造体は前記少なくとも１つのフィン上および前記少なくとも１つのメサ上に少なくとも１つのソースおよび少なくとも１つのドレインを形成する領域を画定している、ステップと、

（ｃ）前記少なくとも１つのフィン上および前記少なくとも１つのメサ上の前記各ゲート構造体によって画定された領域にソース領域およびドレイン領域を同時並行的に形成するステップと、

（ｄ）前記少なくとも１つのフィンのゲート、ソース、およびドレイン、ならびに前記少なくとも１つのメサのゲート、ソース、およびドレインへの電気コンタクト群を同時並行的に形成するステップと

30

を備えた、

上記（８）に記載の方法。

（１３）

前記製造するステップが、

少なくとも１つのメサの少なくとも１つの側壁上にゲート、ソース、ドレインを形成するステップと、

少なくとも１つのフィンの側壁上にゲート、ソース、ドレインを形成するステップと、

前記厚ボディ・デバイスのボディにボディ・コンタクトを形成するステップと

を備えている、

上記（１１）に記載の方法。

40

（１４）

少なくとも１つのメサの少なくとも１つの側壁上にゲート、ソース、ドレインを形成する前記ステップが、

前記メサの２つの側壁の各々の上にゲート、ソース、ドレインを形成するステップと、

さらにメサ・ハードマスクの頂上の形状に忠実に前記ゲートの寸法および形状を整えて２つの側壁ゲートを物理的かつ電子的に互いに接続するステップと

を備えた、

上記（１３）に記載の方法。

（１５）

前記メサ・ハードマスクの頂上にゲートを形成する前記ステップが、さらに、

50

前記ゲート材料および前記メサ・ハードマスクを貫通する開口をパターニングしエッチングして形成して前記電界効果トランジスタのボディを露出させるステップを備えている、

上記（１４）に記載の方法。

（１６）

ボディ・コンタクトを形成する前記ステップが、

前記ゲートおよび前記メサ・ハードマスクに形成された前記開口を通し前記電界効果トランジスタの露出したボディをドーピングするステップを備えている、

上記（１５）に記載の方法。

10

（１７）

前記ソース領域および前記ドレイン領域を形成する前記ステップが、

少なくとも１つのメサ中に十分深く前記ソース領域および前記ドレイン領域をドーピングして、前記メサ・ハードマスクに形成された第１の開口を通して第１の電気コンタクトが両ソースと接続し、前記メサ・ハードマスクの頂上に形成された第２の開口を通して第２の電気コンタクトが両ドレインと接続するようにするステップを備えている、

上記（１４）に記載の方法。

（１８） さらに、

前記メサの能動側壁から外方に伸びる部分を有するゲートを形成するステップであって、前記伸ばされたゲートは寸法および形状が調整されて端が広げられ電気コンタクトを受け入れるようにされており、前記広げられた端は埋め込み酸化膜上に存在する、ステップを備えた、

上記（１４）に記載の方法。

（１９）

前記メサに前記ボディ・コンタクトを形成する前記ステップが、

（ａ）能動メサ側壁の反対側のメサ側壁を通して前記メサをドーピングするステップと、

（ｂ）前記ドーピングしたメサの側壁上および前記ボディ・コンタクトの頂上にシリサイドを形成して電気コンタクトとのオーミック接続を可能にするステップと、

（ｃ）前記ボディ・コンタクト上の前記シリサイドへの電気コンタクトと、前記ゲート、ソース、ドレインへの電気コンタクトとを同時並行的に形成するステップとを備えている、

上記（１３）に記載の方法。

（２０）

前記ゲートを形成するステップが、

前記メサの頂上の前記ゲート材料をエッチングして前記メサの頂上を３つの領域すなわちソース、ドレイン、ボディ・コンタクトに分割するステップを備えている、

上記（１３）に記載の方法。

（２１）

前記ボディ・コンタクトを形成する前記ステップが、

前記メサ・ハードマスクを貫通して前記メサのボディに至る開口をパターニングしエッチングして形成するステップと、

前記メサ・ハードマスクに形成した前記開口を通してドーピングしてボディ・コンタクトを形成するステップと

を備えている、

上記（２０）に記載の方法。

（２２）

電気コンタクトを形成する前記ステップが、さらに、

少なくとも１つのボディ・コンタクトへの少なくとも１つの電気コンタクトを形成する

40

50

## ステップ

を備えている、

上記(11)に記載の方法。

## (23)

少なくとも1つの電気コンタクトを形成する前記ステップが、

前記ボディ・コンタクト形成用にドーブしたメサの非能動側壁へのオーミック接続によって電気コンタクトを形成するステップ

を備えている、

上記(22)に記載の方法。

## (24)

少なくとも1つのボディ・コンタクトへの少なくとも1つの電気コンタクトを形成する前記ステップが、

前記メサの頂上に形成された開口を通る、前記ボディ・コンタクト形成用にドーブしたメサへのオーミック接続によって電気コンタクトを形成するステップ

を備えている、

上記(22)に記載の方法。

## (25)

前記基板上の少なくとも1つのフィンおよび少なくとも1つのメサを同時並行的にパターンニングしエッチングする前記ステップが、

2層ハードマスク上の前記少なくとも1つのフィンおよび前記少なくとも1つのメサをパターンニングするステップと、

前記2層ハードマスクの両層を前記基板の半導体層に対して選択的にエッチングするステップと、

前記2層ハードマスクの下層を前記半導体層および上部ハードマスク層に対して選択的に化学エッチングして、下層ハードマスクのフィン厚さを最小リソグラフィ寸法未満にするステップと、

前記ハードマスクの前記上層を前記下層および前記半導体に対して選択的にエッチング除去するステップと、

前記半導体層を前記ハードマスクの前記下層に対して選択的に垂直にエッチングして、少なくとも1つのフィンと少なくとも1つのメサを形成するステップと

を備えている、

上記(11)に記載の方法。

## (26) さらに、

(a) 少なくとも1つのフィン型電界効果トランジスタのソース、ドレイン、ゲートと、少なくとも1つの厚ボディ・デバイスのソース、ドレイン、ゲートと、少なくとも1つの相補型デバイスのボディ・コンタクトとを同時並行的にドーブして形成するステップと

(b) 少なくとも1つの厚ボディ・デバイスのボディ・コンタクトと、少なくとも1つの相補型デバイスのソース、ドレイン、ゲートとを同時並行的にドーブして形成するステップと

を備えた、

上記(8)に記載の方法。

## (27)

前記方法が単側壁型厚ボディ・デバイスの形成に適合しており、

(a) ハードマスクを装着した半導体基板ウェーハを準備するステップと、

(b) 前記半導体基板をパターンニングして前記ウェーハ上に少なくとも1つの狭いフィン構造体および少なくとも1つの厚メサ構造体を形成するステップであって、前記フィン構造体は平行な第1の長側壁および第2の長側壁を備え、前記メサは頂上面ならびに平行な第1の長側壁および第2の長側壁を備えている、ステップと、

(c) 少なくとも1つのフィンおよび少なくとも1つのメサの上に下地形状に忠実にゲ

10

20

30

40

50

ート材料を堆積するステップと、

(d) 少なくとも1つのフィン構造体上の前記第1の長側壁および前記第2の長側壁の上のゲートと、少なくとも1つのメサ構造体上の前記第1の長側壁の上のゲートとを同時並行的にパターニングするステップと、

(e) 少なくとも1つのフィン構造体上のゲートと、少なくとも1つのメサ構造体上のゲートとを同時並行的にエッチングするステップと、

(f) 少なくとも1つのフィンの少なくとも1つの長側壁上のソース領域およびドレイン領域と、

少なくとも1つのフィン上のゲートと、

少なくとも1つのメサの少なくとも1つの長側壁上のソース領域およびドレイン領域と、 10

少なくとも1つのメサ上のゲートと  
を同時並行的にドーピングして形成するステップと、

(g) 前記第2の長側壁を通るイオン打ち込みによって、少なくとも1つのメサ中のボディ・コンタクト領域をドーピングして形成するステップと、

(h) 少なくとも1つのフィン型デバイスの半導体表面および少なくとも1つのメサ型デバイスの半導体表面の上にシリサイドを同時に形成するステップと、

(i) 前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、

(j) 各フィン型デバイスおよび各メサ型デバイスのゲート領域、ソース領域、ドレイン領域、ボディ・コンタクト領域への電気コンタクト群を同時並行的に形成するステップと 20  
を備えている、

上記(26)に記載の方法。

(28)

前記方法が二重側壁型電界効果トランジスタの形成に適合しており、

(a) シリコン・ウェーハ上の埋め込み酸化膜上の単結晶シリコン層上のTEOS層上に窒化膜キャップ層を備えハードマスクを装着された半導体基板を準備するステップと、

(b) 前記窒化層およびTEOS層を同時並行的にパターニングして、厚さが最小リソグラフィ寸法の少なくとも1つのフィン構造体と少なくとも1つのメサとのイメージを形成するステップと、 30

(c) 前記窒化膜キャップを化学的にアンダーカットすることにより、少なくとも1つのフィンの厚さおよび少なくとも1つのメサの厚さを同時並行的に狭めるステップと、

(d) 前記窒化膜キャップを同時並行的に剥離するステップと、

(e) 前記TEOS層のイメージを前記シリコン層にRIEを用いて転写して、前記基板上に少なくとも1つのフィン構造体および少なくとも1つのメサ構造体を形成するステップであって、前記少なくとも1つのフィン構造体は並行な第1の長側壁および第2の長側壁を備え、前記少なくとも1つのメサ構造体は頂上面ならびに並行な第1の長側壁および第2の長側壁を備えている、ステップと、

(f) 少なくとも1つのフィン構造体の長側壁群の中央部上および頂上のゲート誘電体上、ならびに少なくとも1つのメサ構造体の長側壁群の中央部上および頂上のゲート誘電体上にゲートをそれぞれ同時並行的に形成するステップであって、前記ゲート構造体群は少なくとも1つのフィン構造体および少なくとも1つメサ構造体から外方へ伸び前記基板の前記埋め込み酸化膜上に到達している、ステップと、 40

(g) 少なくとも1つのフィン構造体の中へ、ならびに少なくとも1つのメサ構造体の第1の長側壁および第2の長側壁の中へソースおよびドレインをそれぞれ同時並行的にドーピングして形成するステップであって、前記少なくとも1つのフィン構造体の前記第1の長側壁上の前記ソースおよび前記ドレインは前記フィン・ゲート構造体によって分離されており、前記少なくとも1つのメサ構造体の各長側壁上の前記ソースおよび前記ドレインは前記メサ・ゲート構造体によって分離されており、ゲート群は前記ソース群およびドレイン群と同時並行的にドーピングして形成し、それにより少なくとも1つのフィン型電界効果トラ 50

ンジスタおよび少なくとも1つの厚ボディ・デバイスを形成する、ステップと、  
(h) 少なくとも1つの厚ボディ・デバイスの頂上を通してボディ・コンタクトを形成するステップと、

(i) 前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、  
(j) 前記ゲート群、ソース群、ドレイン群、および少なくとも1つのボディ・コンタクトへの電気コンタクト群を同時並行的に形成するステップと

を備えている、

上記(26)に記載の方法。

(29)

前記方法がメサ・トップへのプレーナ型電界効果トランジスタの形成に適合しており、 10

(a) ハードマスクを装着した半導体基板ウェーハを準備するステップと、

(b) 前記半導体基板をパターンニングして前記ウェーハ上に少なくとも1つの狭いフィン構造体および少なくとも1つの厚メサ構造体を形成するステップであって、前記フィン構造体は平行な第1の長側壁および第2の長側壁を備え、前記メサは頂上面ならびに平行な第1の長側壁および第2の長側壁を備えている、ステップと、

(c) (1) 少なくとも1つのフィンを遮蔽マスクで遮蔽し、

(2) 前記ハードマスクを前記遮蔽マスクに対して選択にエッチングして少なくとも1つのメサの頂上から除去し、

(3) 前記遮蔽マスクを剥離する

ことにより、少なくとも1つのメサの頂上を準備するステップと、 20

(d) 少なくとも1つのメサの頂上および前記フィンの長側壁群の上にゲート酸化膜を同時並行的に成長させるステップと、

(e) 少なくとも1つのフィン上および少なくとも1つのメサ上にゲート材料を同時並行的に堆積するステップと、

(f) 少なくとも1つのフィン上の前記ゲート材料および少なくとも1つのメサ上の前記ゲート材料を同時並行的に平坦化するステップと、

(g) 少なくとも1つのフィン上のゲート構造体および少なくとも1つのメサ上のゲート構造体を同時並行的にパターンニングするステップと、

(h) 少なくとも1つのフィン上の前記ゲート構造体および少なくとも1つのメサ上の前記ゲート構造体を同時並行的にエッチングするステップと、 30

(i) (1) 少なくとも1つのメサの頂上のソース・ウェルおよびドレイン・ウェルと

(2) 少なくとも1つのメサの前記ゲートと、

(3) 少なくとも1つのフィンの前記ソース領域および前記ドレイン領域と、

(4) 少なくとも1つのフィンの前記ゲートと、

(5) 相補型デバイスのボディ・コンタクトと

を同時並行的にイオン打ち込みして形成するステップと、

(j) (1) 少なくとも1つのメサの頂上のボディ・コンタクトと、

(2) 少なくとも1つの相補型デバイス上の少なくとも1つのソース、少なくとも1つのドレイン、または少なくとも1つのゲートと 40

を同時並行的にイオン打ち込みして形成するステップと、

(k) 少なくとも1つのフィンの、露出した半導体表面上および少なくとも1つのメサの、露出した半導体表面上にシリサイドを同時並行的に形成するステップと、

(l) 前記ウェーハを酸化膜で封止し前記酸化膜を平坦化するステップと、

(m) (1) 少なくとも1つのメサの頂上のゲート、ソース、ドレイン、およびボディ・コンタクト、

(2) 少なくとも1つのフィンのゲート、ソース、およびドレイン、  
ならびに、

(3) 前記ウェーハ上の少なくとも1つの別のデバイス上のボディ・コンタクトへの電気コンタクト群を同時並行的に形成するステップと 50

を備えている、

上記(26)に記載の方法。

【図面の簡単な説明】

【0069】

【図1】ボディ・コンタクトを伴わない、本発明の実施形態の典型的な製造ステップを示すプロセス・フローチャートを示す図である。

【図2】たとえば側壁型メサFET用のボディ・コンタクトを備えた、本発明の実施形態の典型的な製造ステップを示すプロセス・フローチャートを示す図である。

【図3】二重側壁型メサFETの製造を含む、本発明の一実施形態の典型的な製造ステップを示すプロセス・フローチャートを示す図である。

10

【図4】メサ・トップ型プレーナFETを含む、本発明の一実施形態の典型的な製造ステップを示すプロセス・フローチャートを示す図である。

【図5】ボディ・コンタクトを備えたメサ・トップ型FETを含む、本発明の一実施形態の典型的な製造ステップを示すプロセス・フローチャートを示す図である。

【図6】ハードマスクを備えた、ウェーハ上の典型的なSOI基板の垂直断面図である。

【図7】基板をパターニングし、エッチングしてメサを形成するステップ群の結果の一例を示す図である。

【図8】ゲート酸化膜を成長させ、ゲート材料を堆積し、ゲート・マスクを堆積するステップ群の結果の一例を示す図である。

【図9】ゲート・マスクを開口し、ゲート材料をエッチングするステップ群の結果の一例をゲートを通る垂直断面として示す図である。

20

【図10】レジスト・マスクを堆積しゲート、ソース、ドレインをドーピングするステップ群の結果の一例を2つの垂直断面（一方はゲート〔ゲート、ゲート酸化膜、およびマスクを含む〕を通る断面であり、他方は〔メサ内の〕メサのドレイン領域を通る別の手前側の断面）として示す図である。

【図11】図10のレジスト・マスクを除去し、新たなレジスト・マスクを堆積し、ボディをドーピングするステップ群の結果の一例を2つの垂直断面（一方はゲート〔ゲート、ゲート酸化膜、およびマスクを含む〕を通る断面であり、他方は〔メサ内の〕メサのドレイン領域を通る別の手前側の断面）として示す図である。

【図12】図11のレジスト・マスクを除去し、シリサイドを形成するステップ群の結果の一例を2つの垂直断面（一方はゲート〔ゲート、ゲート酸化膜、およびマスクを含む〕を通る断面であり、他方は〔メサ内の〕メサのドレイン領域を通る別の断面）として示す図である。

30

【図13】デバイスを酸化膜で封止し、封止酸化膜を平坦化し、平坦化した酸化膜をパターニングしエッチングして電気コンタクト用の開口を形成し、開口を電気コンタクト材料で充填するステップ群の結果の一例を2つの垂直断面（一方はゲート〔ゲート、ゲート酸化膜、電気コンタクト、および封止酸化膜を含む〕を通る断面であり、他方は〔メサ内の〕メサのソース領域を通る別の手前側の断面）として示す図である。

【図14】デバイスの一例を図13で画定されている水平断面A-A'で示す図である。

【図15】図8の左側を取り除いた状態を示す図であり、ゲート・マスクを開口し、ゲート材料をエッチングするステップ群の結果の一例をゲート中央線を通る垂直断面として示す図である。

40

【図16】図15のゲート・マスクを除去し、図10に示すようにゲート、ソース、ドレインをドーピングし、図11に示すようにボディをドーピングし、図12に示すようにシリサイドを形成するステップ群の結果の一例をゲート中央線を通る垂直断面として示す図である。

【図17】メサ・ハードマスクをパターニングし、メサ・ハードマスクを貫通しボディ・コンタクトに至るようにエッチングし、デバイスを酸化膜で封止し、酸化膜をパターニングしエッチングして電気コンタクト用の開口を形成し、開口を電気コンタクト材料で充填するステップ群の結果の一例を示す図である。

【図18】図17において面B-B'で画定された水平断面図である。

50

【図 19】図 17 において面 A-A' で画定された水平断面図である。

【図 20】図 19 において面 D-D' で画定された垂直断面図である。

【図 21】図 6 に示す典型的な基板をパターニングし、エッチングしてフィンとメサを形成するステップ群の結果の一例の垂直断面図である。

【図 22】フィンの全面に遮蔽マスクを堆積し、メサからハードマスクを選択的にエッチング除去するステップ群の結果の一例の垂直断面図である。

【図 23】フィンとメサの上にゲート酸化膜を成長させ、ソース・ウェルとドレイン・ウェルをメサとフィンの中にイオン打ち込みして形成するステップ群の結果の一例の垂直断面図である。

【図 24】メサとフィンの上にゲート材料を堆積するステップの結果の一例の垂直断面図である。 10

【図 25】メサとフィンの上のゲート材料をパターニングし、エッチングするステップ群の結果の一例の垂直断面図である。

【図 26】メサとフィンを酸化膜で封止し、酸化膜をパターニングしエッチングして電気コンタクト用の開口を形成し、開口を電気コンタクト材料で充填するステップ群の結果の一例の平面図である。

【図 27】ボディ・コンタクトを備えたプレーナ型メサ FET とフィン FET とを形成するステップ群の結果の一例の平面図である。

【図 28】ボディ・コンタクトを備えたプレーナ型メサ FET を形成するステップ群の結果の一例の平面図である。 20

【図 29】ボディ・コンタクトを備えたプレーナ型メサ FET を形成するステップ群の結果の一例の、断面 G-G' で見た垂直断面図である。

【図 30】ボディ・コンタクトを備えたプレーナ型メサ FET を形成するステップ群の結果の一例の、断面 H-H' で見た垂直断面図である。

【図 31】2つの層から成るハードマスクを備えた典型的な SOI 基板の垂直断面図である。

【図 32】二層ハードマスクをパターニングしエッチングしてメサとフィンを形成するステップ群の結果の一例を示す図である。

【図 33】二層ハードマスクの下層を化学的にアンダーカットして下層ハードマスク層を狭めるステップ群の結果の一例を示す図である。 30

【図 34】狭めたメサとフィンからハードマスク・キャップを除去するステップの結果の一例を示す図である。

【図 35】基板の能動層を絶縁体に至るまで選択的にエッチングしてメサとフィンを形成するステップ群の結果の一例を示す図である。

【図 36】ゲート酸化膜を形成し、ゲート材料を堆積するステップ群の結果の一例を示す図である。

【図 37】(a) メサとフィンの上のゲート材料をパターニングし、エッチングするステップ群の結果の一例の平面図である。(b) メサとフィンの上のゲート材料をパターニングし、エッチングするステップ群の結果の一例の垂直断面図である。

【図 38】(a) メサとフィンを酸化膜で封止し、酸化膜をパターニングしエッチングして電気コンタクト用の開口を形成し、開口を電気コンタクト材料で充填するステップ群の結果の一例の平面図である。(b) メサとフィンを酸化膜で封止し、酸化膜をパターニングしエッチングして電気コンタクト用の開口を形成し、開口を電気コンタクト材料で充填するステップ群の結果の一例の垂直断面図である。 40

【図 39】(a) メサとフィンを酸化膜で封止し、酸化膜をパターニングしエッチングして電気コンタクト用の開口を形成し、開口を電気コンタクト材料で充填するステップ群の結果の一例の垂直断面図である。(b) フィンのドレイン・コンタクトの別の実施形態を形成するステップの結果の垂直断面図である。

【符号の説明】

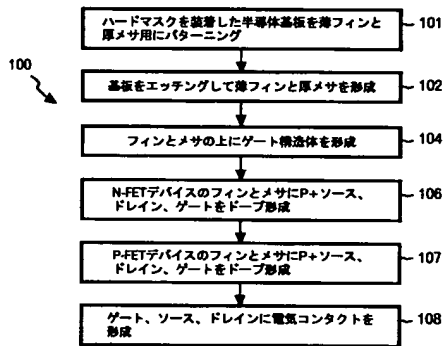
【0070】

2 0 0	ウェーハ	
2 0 2	単結晶シリコン	
2 0 4	埋め込み酸化膜	
2 0 6	窒化膜	
2 0 8	ハードマスク	
3 0 6	ゲート酸化膜	
4 0 2	ゲート材料	
4 0 4	ゲート・ハードマスク	
6 0 2	イオン打ち込みレジスト・マスク	
6 0 4	ゲート材料の一部	10
6 0 6	ソース	
6 0 7	ドレイン	
7 0 2	イオン打ち込みレジスト・マスク	
7 0 8	P+ゲート材料	
7 1 0	ボディ・コンタクト	
8 0 5	側壁スペーサ	
9 0 4	酸化膜	
9 0 2	電気コンタクト	
9 0 3	電気コンタクト	
1 0 0 2	電気コンタクト	20
1 0 0 4	電気コンタクト	
1 1 5 2	電気コンタクト	
1 1 5 4	電気コンタクト	
1 2 0 2	遮蔽マスク	
1 3 0 1	メサ	
1 3 0 3	フィン	
1 3 0 4	ゲート酸化膜	
1 4 0 2	ゲート材料	
1 5 0 2	ゲート	
1 5 0 4	ゲート	30
1 5 0 6	ドレイン領域	
1 5 0 8	側面	
1 6 5 0	酸化膜	
1 6 0 1	電気コンタクト	
1 6 0 2	電気コンタクト	
1 6 0 3	電気コンタクト	
1 6 0 4	電気コンタクト	
1 6 0 7	電気コンタクト	
1 6 0 9	電気コンタクト	
1 8 0 0	ボディ・コンタクト	40
1 8 0 1	薄構造体	
1 8 0 2	厚構造体	
1 8 1 0	電気コンタクト	
2 2 0 2	ゲート材料	
2 2 0 4	ゲート酸化膜	
2 3 0 2	酸化膜	
2 3 0 4	電気コンタクト	
2 3 0 6	電気コンタクト	
2 3 0 7	電気コンタクト	
2 3 0 8	電気コンタクト	50

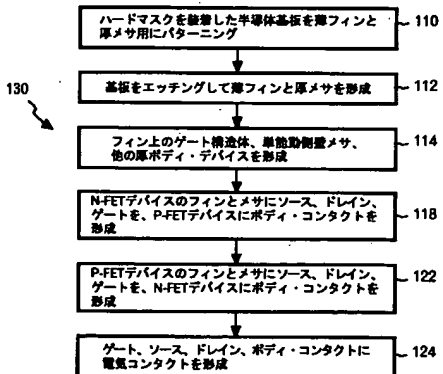


2310 電気コンタクト  
 2312 電気コンタクト  
 2313 電気コンタクト  
 2314 電気コンタクト

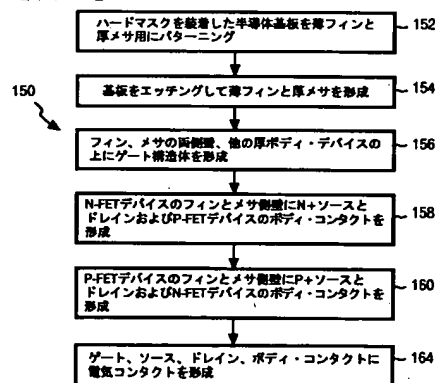
【図1】



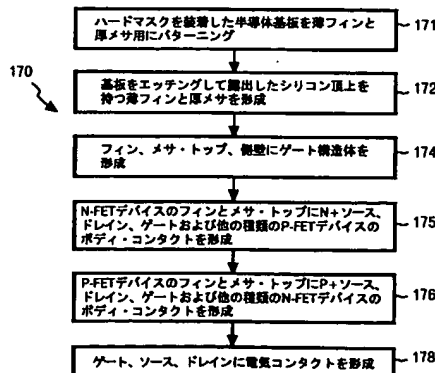
【図2】



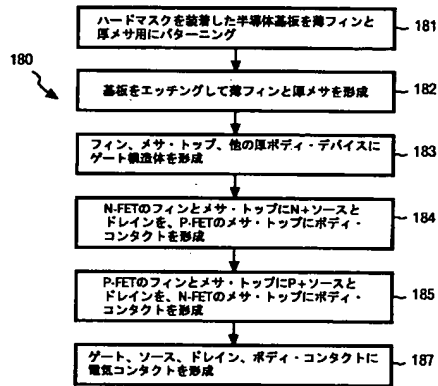
【図3】



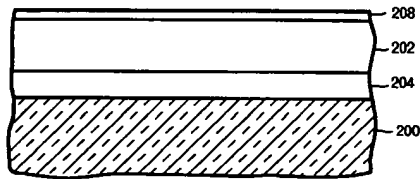
【図4】



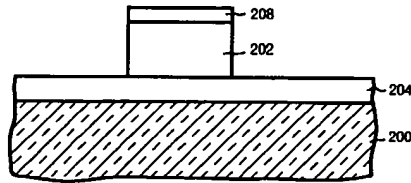
【図 5】



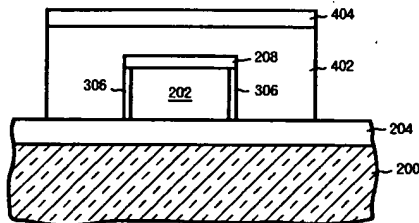
【図 6】



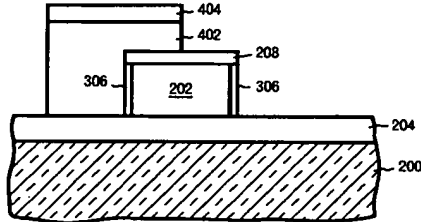
【図 7】



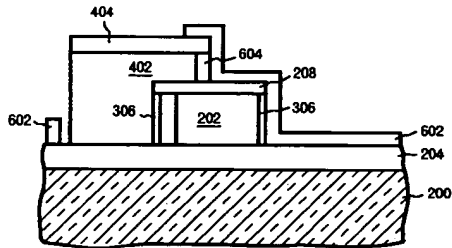
【図 8】



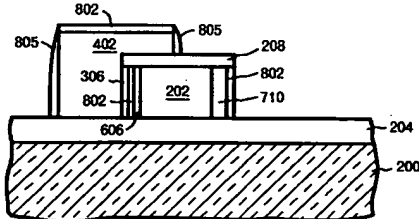
【図 9】



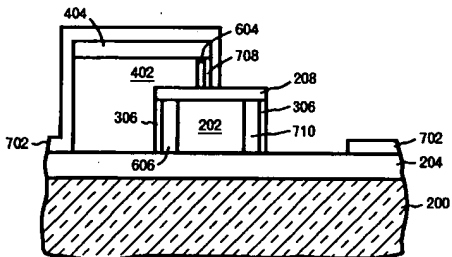
【図 10】



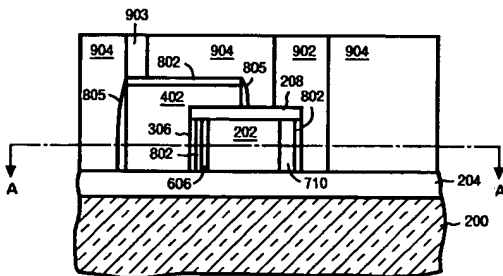
【図 12】



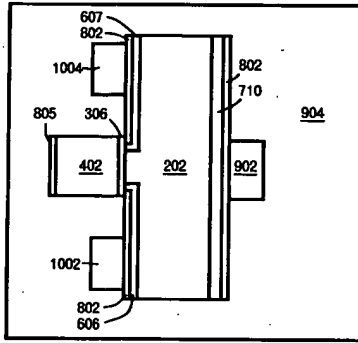
【図 11】



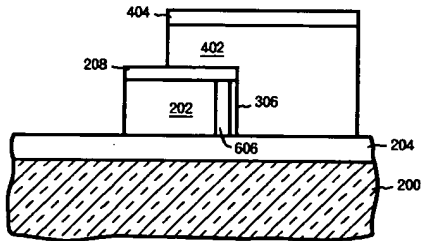
【図 13】



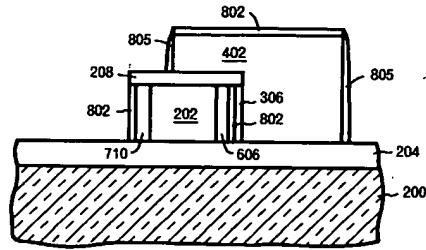
【図 14】



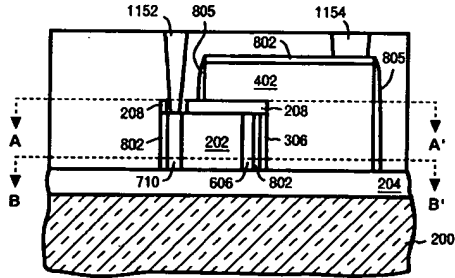
【図 15】



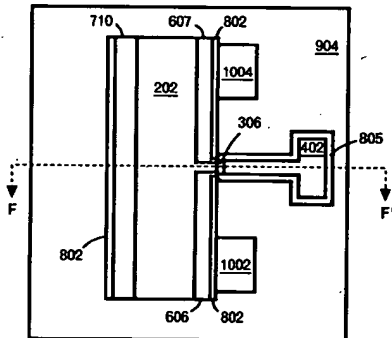
【図 16】



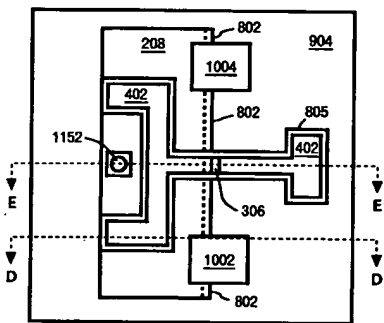
【図 17】



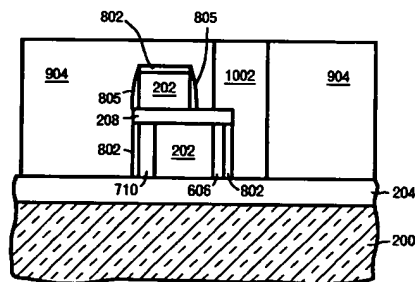
【図 18】



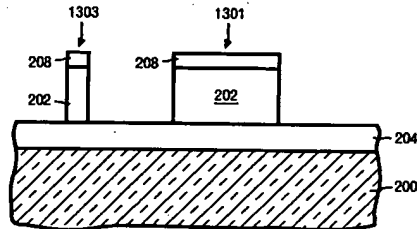
【図 19】



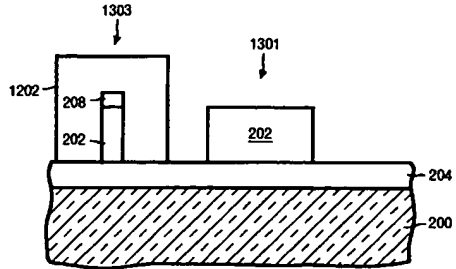
【図 20】



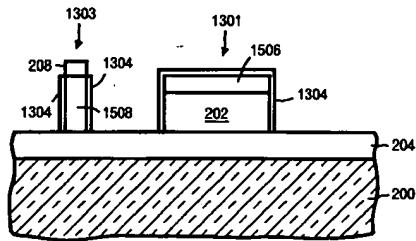
【図 21】



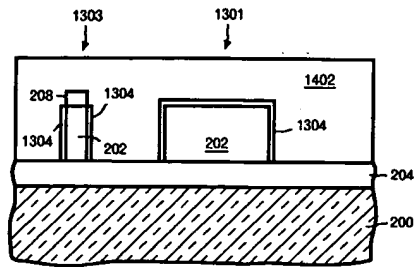
【図 2 2】



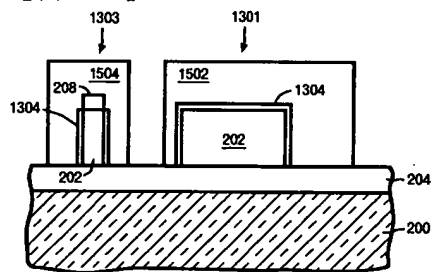
【図 2 3】



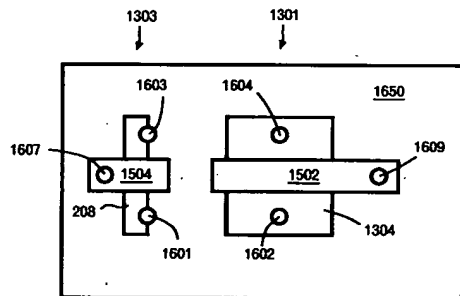
【図 2 4】



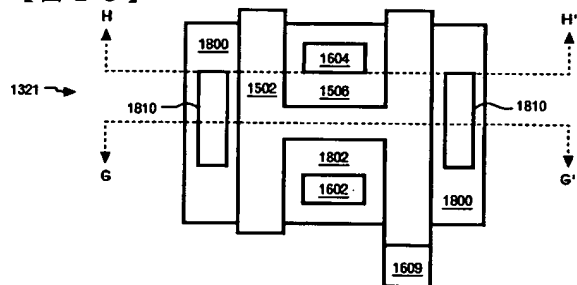
【図 2 5】



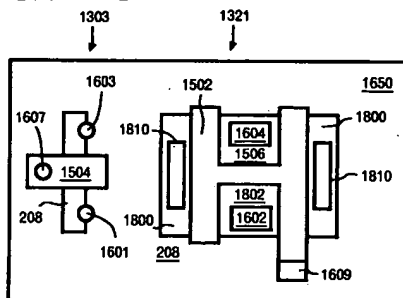
【図 2 6】



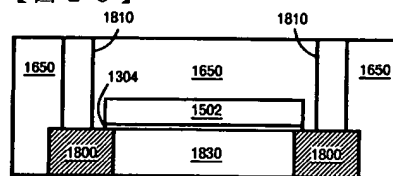
【図 2 8】



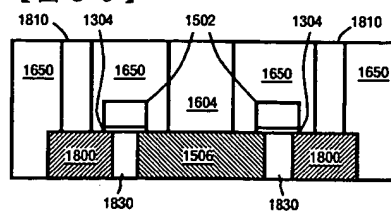
【図 2 7】



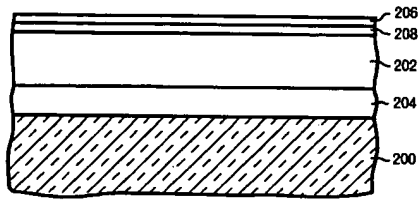
【図 2 9】



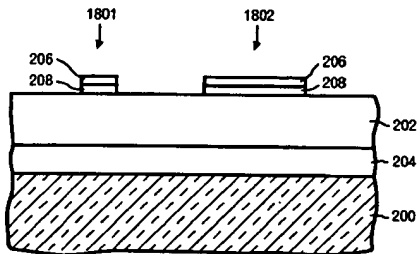
【図 3 0】



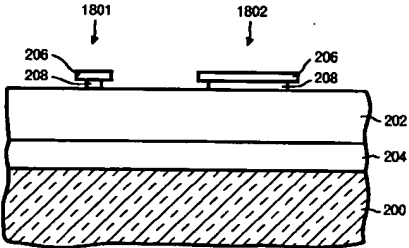
【 図 3 1 】



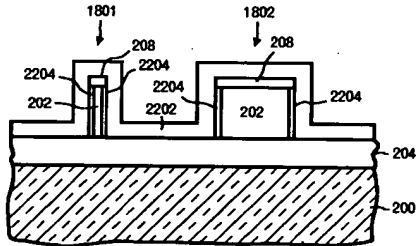
【 3 2 】



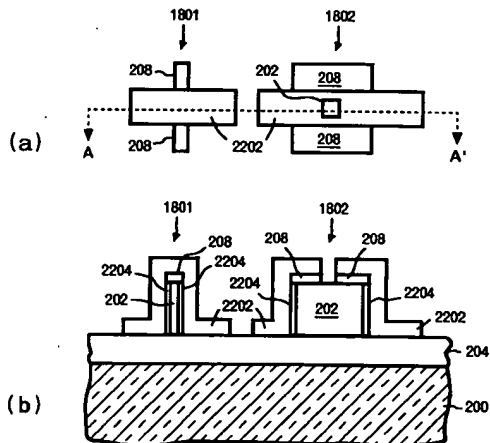
【 3 3 】



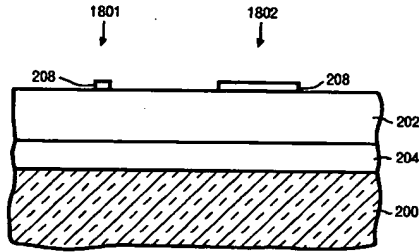
【 3 6 】



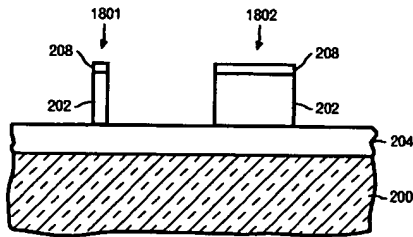
【图 3 7】



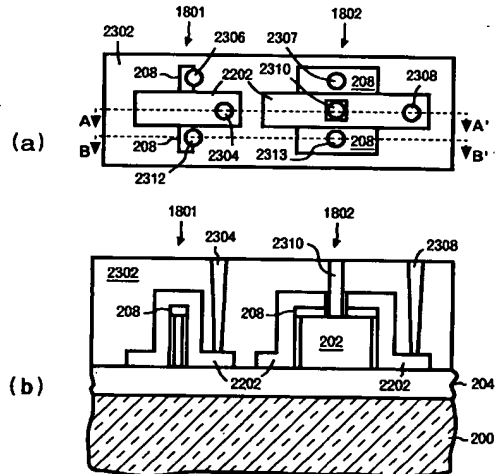
【☒ 3 4】



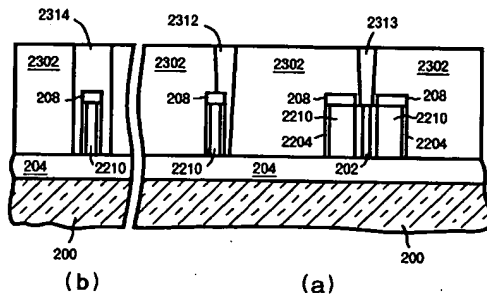
【 3 5 】



【图 3 8】



【 例 3 9 】



## フロントページの続き

(51)Int. Cl. <sup>7</sup>

F I

テーマコード (参考)

H 0 1 L 27/092

H 0 1 L 29/78 6 2 6 B

H 0 1 L 27/08 1 0 2 A

H 0 1 L 27/08 3 2 1 A

(72)発明者 ワグディ・ダブリュー・アバディーア

アメリカ合衆国 バーモント州 0 5 4 6 5、ジェリコ、パインハースト ドライブ 2 6

(72)発明者 ジェフリー・エス・ブラウン

アメリカ合衆国 バーモント州 0 5 6 0 2、ミドルセックス、イースト ヒル ロード 2 5 9

(72)発明者 デーヴィッド・エム・フリート

アメリカ合衆国 ニューヨーク州 1 4 8 5 0、イサカ、メープル アベニュー 2 0 1、メープルウッド アpartment ビー0 0 2

(72)発明者 ロバート・ジェイ・ゴースー・ジュニア

アメリカ合衆国 バーモント州 0 5 4 6 1、ハインズバーグ、ボックス 3 2 8 6-1、アール・アール・ナンバー2

(72)発明者 エドワード・ジェイ・ノワク

アメリカ合衆国 バーモント州 0 5 4 5 2、エセックス ジャンクション、ウインドブリッジロード 8

(72)発明者 ジェド・エイチ・ランキン

アメリカ合衆国 バーモント州 0 5 4 0 3、サウス バーリントン、ジュニパー ドライブ 2 1 1

(72)発明者 ウィリアム・アール・トンティ

アメリカ合衆国 バーモント州 0 5 4 5 2、エセックス ジャンクション、ブルーステム ロード 4

F ターム(参考) 5F048 AA09 AC01 AC03 AC04 BA16 BB01 BB02 BB06 BB07 BC01

BC03 BC18 BD01 BD06 BD10 BF06 BF15 BF16 BF17 BF18

5F110 AA15 AA16 BB04 CC02 DD05 DD13 EE09 EE22 EE24 EE30

FF02 GG02 GG12 GG22 GG23 GG52 GG60 HJ13 HK05 HK21

HMO4 NN78 QQ08 QQ19